



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08115060 A**(43) Date of publication of application: **07.05.96**

(51) Int. Cl.

**G09G 3/36**  
**G02F 1/133**(21) Application number: **06249598**(22) Date of filing: **14.10.94**(71) Applicant: **SHARP CORP**(72) Inventor:  
**OKADA HISAO**  
**YAMAMOTO YUJI**  
**ETO SUNAO**  
**TANAKA KUNIAKI****(54) DRIVING CIRCUIT FOR DISPLAY DEVICE AND  
LIQUID CRYSTAL DISPLAY DEVICE**

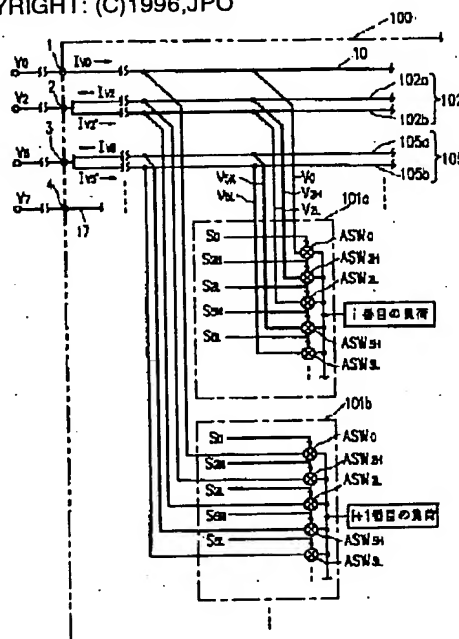
(57) Abstract:

**PURPOSE:** To compensate cross talk between terminals apprehended to be generated when different interpolation gradation voltage is outputted from each output circuit and to perform accurate gradation display by a display device, in a driving circuit of a liquid crystal display device having plural output circuits.

**CONSTITUTION:** This device has plural voltage supplying lines 10, 102, 105, 17 supplying the reference voltage  $V_0$ ,  $V_2$ ,  $V_5$ ,  $V_7$  externally supplied to signal output circuits 100a, 100b,... generating an interpolation gradation signal, voltage supplying lines 102, 105 corresponding to voltage other than the reference voltage  $V_0$  for gradation in which difference between common voltage of the display device is the maximum and the reference voltage  $V_7$  in which difference between common voltage of the display device is the minimum are respectively constituted with the first signal supplying lines 102a, 105a combined with supplying lines of a high potential side and the second signal supplying lines 102b, 105b combined with supplying lines of a low

potential side.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8-115060

(43) 公開日 平成8年(1996)5月7日

(51) Int. Cl.<sup>6</sup> 識別記号 庁内整理番号 FI 技術表示箇所  
 G 0 9 G 3/36  
 G 0 2 F 1/133 5 7 5

審査請求 未請求 請求項の数 6

OL

(全 2 5 頁)

(21) 出願番号 特願平6-249598

(22) 出願日 平成6年(1994)10月14日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 岡田 久夫

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(72) 発明者 山本 裕司

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(72) 発明者 江藤 直

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人 弁理士 山本 秀策

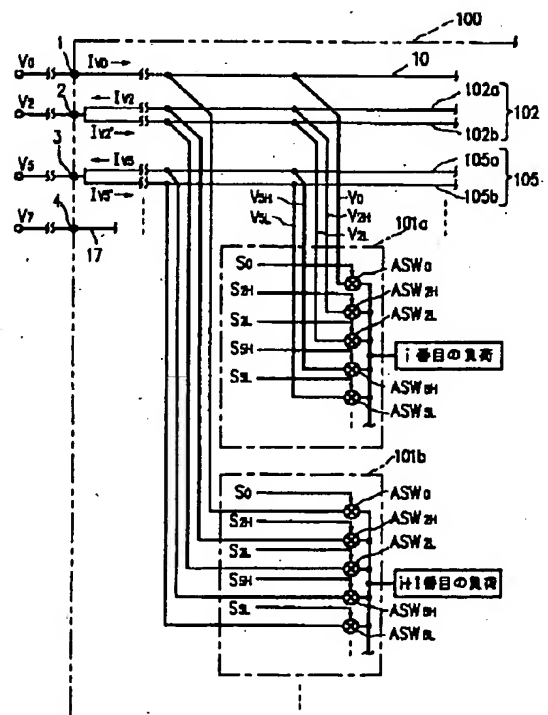
最終頁に続く

(54) 【発明の名称】 表示装置の駆動回路及び液晶表示装置

## (57) 【要約】

【目的】 複数の出力回路 100a, 100b, ... を有する液晶表示装置の駆動回路 100 において、各出力回路から異なる補間階調電圧を出力する際に発生するおそれのある端子間漏話を補償することができ、表示装置での正確な階調表示を行うことができるようにする。

【構成】 外部から供給される階调用基準電圧  $V_0$ ,  $V_2$ ,  $V_5$ ,  $V_7$  を、補間階調信号を作成する信号出力回路 100a, 100b, ... に供給する複数の電圧供給線 10, 102, 105, 17 を有し、そのうちの表示装置の共通電圧との差が最大の階调用基準電圧  $V_0$  と最小の階调用基準電圧  $V_7$  以外に対応する電圧供給線 102, 105 をそれぞれ、高電位側の供給線と組み合わせられる第 1 の信号供給線 102a, 105a と、低電位側の供給線と組み合わせられる第 2 の信号供給線 102b, 105b とから構成した。



## 【特許請求の範囲】

【請求項1】 表示装置を構成する複数の負荷を、表示データに基づいた階調表示信号により駆動する駆動回路であって、

該負荷に対応して設けられ、本駆動回路外部から与えられる電位レベルが異なる複数の階調用基準電圧のうちから、2つの階調用基準電圧を該表示データに基づいて選択し、該選択した2つ1組の階調用基準電圧を用いて、該表示データに対応した補間階調電圧を出力する複数の信号出力回路と、

該複数の階調用基準電圧の各々に対応して本駆動回路内に設けられ、該階調用基準電圧を該各信号出力回路に供給するための複数の電圧供給線とを備え、

該階調用基準電圧の内、該表示装置に供給される共通電圧との差が最大のものと最小のもの以外の階調用基準電圧に対応する電圧供給線を、

第1及び第2の信号供給線を一对にして本駆動回路内に配線してなる構造とし、

該信号出力回路を、該第1の信号供給線が、これより高電位側の階調用基準電圧の供給線と組合わされ、該第2の信号供給線が、これより低電位側の階調用基準電圧の供給線と組合わされるよう供給線の選択を行う構成とした表示装置の駆動回路。

【請求項2】 請求項1記載の表示装置の駆動回路において、

前記各供給線は、その電気的特性が、補間階調電圧を作成する際これと組合わされる他の供給線の電気的特性とはほぼ等しくなるよう構成されている表示装置の駆動回路。

【請求項3】 請求項1記載の表示装置の駆動回路において、

前記2本一对の信号供給線からなる電圧供給線は、過渡状態経過後の定常状態においては、その一方の信号供給線では電流が負荷に流れ込むよう流れ、その他方の信号供給線では電流が負荷から流れ出すよう流れるものである表示装置の駆動回路。

【請求項4】 請求項1ないし3のいずれかに記載の表示装置の駆動回路において、

前記信号出力回路は、補間階調電圧を振動電圧法により作成するものである表示装置の駆動回路。

【請求項5】 請求項1ないし3のいずれかに記載の表示装置の駆動回路において、

前記信号出力回路は、補間階調電圧を抵抗分圧により作成するものである表示装置の駆動回路。

【請求項6】 液晶により画像表示を行う、複数の負荷を有する表示部と、表示データに基づいた階調表示信号により該表示部の負荷を駆動する駆動回路とを有する液晶表示装置であって、

該駆動回路は、

該負荷に対応して設けられ、該駆動回路外部から与えら

れる電位レベルが異なる複数の階調用基準電圧のうちから、2つの階調用基準電圧を該表示データに基づいて選択し、該選択した2つ1組の階調用基準電圧を用いて、該表示データに対応した補間階調電圧を出力する複数の信号出力回路と、

該複数の階調用基準電圧の各々に対応させて該駆動回路内に設けられ、該階調用基準電圧を該各信号出力回路に供給するための複数の電圧供給線とを備えたものであり、

- 10 該階調用基準電圧の内、該表示装置に供給される共通電圧との差が最大のものと最小のもの以外の階調用基準電圧に対応する電圧供給線は、第1及び第2の信号供給線を一对にして該駆動回路内に配線してなるものであり、該信号出力回路は、該第1の信号供給線が、これより高電位側の階調用基準電圧の供給線と組合わされ、該第2の信号供給線が、これより低電位側の階調用基準電圧の供給線と組合わされるよう供給線の選択を行う構成としたものである液晶表示装置。

【発明の詳細な説明】

- 20 【0001】

【産業上の利用分野】本発明は、表示装置の駆動回路及び液晶表示装置に関し、特に、平面型表示装置、中でも多階調の表示を行う能動行列型液晶表示装置を駆動する駆動回路に関する。

【0002】

【従来の技術】図13及び図14は、従来の液晶表示装置の3ビット駆動器を説明するための図であり、図13は該駆動器を構成する複数の出力回路の1つを示す図、図14は該駆動回路内での出力回路の配置を示す概略図である。

- 30 【0003】図において、500は液晶表示装置における、振動電圧法を用いた3ビットデジタル駆動器を構成するLSIで、液晶表示装置の複数のソースライン（負荷）毎に設けられた複数の出力回路を有している。また、上記LSI500内には、該LSI外部から供給される階調用基準電圧 $V_0$ 、 $V_2$ 、 $V_5$ 、 $V_7$ を各出力回路に供給するための電圧供給線10、12、15、17が配設されており、各電圧供給線は、その一端がLSI500端部の電圧入力端子1～4に接続されている。

- 40 【0004】500aは、上記のような出力回路の1つで、表示データ（以下、データ信号ともいう。） $D_0$ 、 $D_1$ 、 $D_2$ に基づく階調電圧を、液晶表示装置の対応するソースラインに出力するものである。この出力回路500aは、データ信号 $D_0$ 、 $D_1$ 、 $D_2$ を制御信号 $T_{sm}$ pに基づいてサンプリングするサンプリング回路510と、該回路の出力を制御信号LPにより保持記憶する保持記憶回路520と、該回路520の保持データ $d_0$ ～ $d_2$ に基づいてソースラインに所定レベルの階調電圧を出力する選択制御部530とから構成されている。

- 50 【0005】この選択制御部530は、それぞれ上記電

圧供給線10, 12, 15, 17に接続された4つのアナログスイッチASW<sub>0</sub>, ASW<sub>2</sub>, ASW<sub>5</sub>, ASW<sub>7</sub>からなるスイッチ部530bと、これらのアナログスイッチを上記保持記憶回路MHの保持データd<sub>0</sub>, d<sub>1</sub>, d<sub>2</sub>に基づいて開閉制御して、所定の2つの階調用基準電圧を選択する選択制御回路530aとから構成されている。

【0006】この選択制御回路530aには、保持記憶手段520に記憶されている保持データd<sub>0</sub>～d<sub>2</sub>と、図15に示すようなデューティ比が2:1の信号T3が供給されている。

【0007】次に動作について説明する。

【0008】該選択制御回路530aの論理構成、つまり入力と出力との関係を以下の論理表(表1)に示す。

【0009】

【表1】

表示データ				選択制御回路の出力			
十進数	d <sub>2</sub>	d <sub>1</sub>	d <sub>0</sub>	S <sub>0</sub>	S <sub>2</sub>	S <sub>5</sub>	S <sub>7</sub>
0	0	0	0	1			
1	0	0	1	$\bar{t}_3$	t <sub>3</sub>		
2	0	1	0		1		
3	0	1	1		t <sub>3</sub>	$\bar{t}_3$	
4	1	0	0		$\bar{t}_3$	t <sub>3</sub>	
5	1	0	1			1	
6	1	1	0			t <sub>3</sub>	$\bar{t}_3$
7	1	1	1				1

【0010】この表において、d<sub>2</sub>, d<sub>1</sub>, d<sub>0</sub>は、選択制御回路530aへの3ビットの入力である上記保持データである。s<sub>0</sub>, s<sub>2</sub>, s<sub>5</sub>, s<sub>7</sub>は、該選択制御回路530aの出力で、これはアナログスイッチの制御信号となっている。t<sub>3</sub>は、信号T3がHレベルのとき「1」、Lレベルのとき「0」となる値を示し、 $\bar{t}_3$ は、信号T3がLレベルのとき「1」、Hレベルのとき「0」となる値を示す。また表にて空白欄は、上記制御信号が「0」であることを示す。

【0011】例えば、表示データの値が1(d<sub>2</sub>=0, d<sub>1</sub>=0, d<sub>0</sub>=1)のときは、制御信号s<sub>0</sub>は信号T3の反転波形となり、制御信号s<sub>2</sub>は信号T3と同一波形となる。各アナログスイッチASW<sub>0</sub>, ASW<sub>2</sub>, ASW<sub>5</sub>, ASW<sub>7</sub>はその制御信号s<sub>0</sub>, s<sub>2</sub>, s<sub>5</sub>, s<sub>7</sub>がそれぞれHレベルのときにオン状態となるとすると、この場合、上記出力回路500aの出力には図16(a)に示すように、階調用基準電圧V<sub>0</sub>とV<sub>2</sub>を、1:2のデューティ比で選択する振動波形が得られるこ

とになる。

【0012】この振動波形の周期、言い換えると信号T3の周期を、液晶表示体自身が低域濾波回路として持つ遮断周波数の周期より十分に短く定めることで、絵素には振動電圧の平均値である直流成分が与えられることになる。

【0013】図16(b), (c), (d)に表示データの値がそれぞれ3, 4, 6の時の出力回路500aの出力波形を示す。また、表2は本3ビット駆動器500に入力される表示データと該駆動器の出力との関係を示す。

【0014】

【表2】

表示データ				駆動器の出力
十進数	D2	D1	D0	V
0	0	0	0	V <sub>0</sub>
1	0	0	1	$\frac{V_0 + 2V_2}{3}$
2	0	1	0	V <sub>2</sub>
3	0	1	1	$\frac{2V_2 + V_0}{3}$
4	1	0	0	$\frac{V_2 + 2V_0}{3}$
5	1	0	1	V <sub>0</sub>
6	1	1	0	$\frac{2V_0 + V_2}{3}$
7	1	1	1	V <sub>2</sub>

【0015】なお、振動電圧駆動法については、例えば、特開平6-27900号公報の第11実施例(50欄～53欄)の説明において詳細に記載されている。

【0016】次に、振動電圧が出力されているときの駆動器内での電流の流れについて、表示データが1の場合を例にあげて考察する。

【0017】図17は、階調用基準電圧V<sub>0</sub>>階調用基準電圧V<sub>2</sub>である場合の駆動器の出力波形(図16(a))を拡大して示しており、図中、紙面上右向きの矢印は、駆動器から負荷へ流れ出す電流の流れを示し、紙面上左向きの矢印は、逆に負荷から駆動器へ流れ込む電流の流れを示す。

【0018】階調用基準電圧V<sub>0</sub>が出力される期間T<sub>1</sub>において、過渡状態経過後は、絵素を含む負荷(負荷)は、該階調用基準電圧V<sub>0</sub>より低い電位にあるから、電流I<sub>vo</sub>がアナログスイッチASW<sub>0</sub>(図14参照)を通じて負荷側に流れ出す。ここで、r<sub>on</sub>をアナログスイッチのオン抵抗、R<sub>L</sub>を駆動器の出力端から絵素電極までの全抵抗とすると、この時の電流の大きさ|I<sub>vo</sub>|は、絵素の電位をV<sub>p</sub>とすると、(V<sub>0</sub>-V<sub>p</sub>)/(r<sub>on</sub>+R<sub>L</sub>)となる。

【0019】また、階調用基準電圧 $V_2$ が選択されている期間 $T_2$ においては、負荷は該基準電圧 $V_2$ より高い電位にあるから、負荷からアナログスイッチ $ASW_2$ を通して電流が電圧供給線12に流れ込む。このときの該電流の大きさ $|I_{v2}|$ は $(V_p - V_2) / (r_{on} + R_L)$ となる。

【0020】ここで、負荷に所定の振動電圧が印加された後、十分に時間が経過した時には、絵素の電位 $V_p$ は、

$V_p = (V_o + 2 \times V_2) / 3 \dots (1)$ 式  
となるから、 $|I_{vo}| = 2 \times |I_{v2}|$ となることが分かる。

【0021】なお、抵抗による電圧降下を考慮に入れた場合は、数学的には、循環論を考慮して、上記(1)式を導き出す必要があるが、数学的に厳密な証明が本発明の本質ではないので、ここでは絵素の電位の導出についての説明を省略する。

【0022】ところで、実際の駆動器においては、図13に示す出力回路は、表示体の各データ線毎に必要であり、例えばVGA型の表示体の場合においては、1920個必要となる。しかし、このように多数の回路を1つの駆動器で構成するのは現実的ではなく、実際には、例えば、1つの駆動器は120回路で構成し、計16個の駆動器を用いて1つの表示体を駆動するというような方法が用いられる。この1つの駆動器内部においては、階調用基準電圧は、駆動器のLSI内部に設けられている上記電圧供給線により、各出力回路のアナログスイッチに供給されるようになっている。

【0023】図18は、階調用基準電圧 $V_o$ に対する電圧供給線10及び階調用基準電圧 $V_2$ に対する電圧供給線12について、該基準電圧のLSIへの電圧入力端子1, 2からアナログスイッチ $ASW_o$ ,  $ASW_2$ を介して負荷に至る経路を示している。

【0024】ここで、電流供給線10, 12は、それぞれ抵抗率 $\rho$ を有している。また、ここでは、上記電圧入力端子1, 2から $i$ 番目の負荷に対応する出力回路(以下、 $i$ 番目の出力回路という。)500 $i$ までの距離 $L_0(i)$ ,  $L_2(i)$ は、実質的に等しくなるよう構成されている。従って、以後、電圧供給線への階調用基準電圧の入力端子1, 2から $i$ 番目の出力回路500 $i$ までの距離を単に $L(i)$ とする。

【0025】この場合、電圧供給線の入力端から $i$ 番目の出力回路500 $i$ までの電流経路における抵抗は、 $\rho \cdot L(i)$

となるから、 $i$ 番目の出力回路500 $i$ と負荷との間に流れる電流 $I_{vo(i)}$ ,  $I_{v2(i)}$ によって電圧供給線10, 12には、それぞれ電圧降下、電圧上昇が生じる。

【0026】従って、上記電圧供給線の電圧入力端子での電圧をそれぞれ $V_{o(o)}$ ,  $V_{2(o)}$ とすると、該入力端から $L(i)$ だけ離れた位置での電圧は、それぞれ次式の

ようになる。

【0027】

$$V_{o(i)} = V_{o(o)} - \rho \cdot L(i) |I_{vo(i)}|$$

$$V_{2(i)} = V_{2(o)} + \rho \cdot L(i) |I_{v2(i)}|$$

従って、絵素の電位は、

【0028】

【数1】

$$\frac{V_{o(i)} + 2V_{2(i)}}{3}$$

10

$$= \frac{\{V_{o(o)} - \rho \cdot L(i) |I_{vo(i)}|\} + 2\{V_{2(o)} + \rho \cdot L(i) |I_{v2(i)}|\}}{3}$$

【0029】となる。

【0030】ここで先述した理論より $|I_{vo(i)}| = 2 \cdot |I_{v2(i)}|$ であるから、上式は、

【0031】

【数2】

$$\frac{V_{o(o)} + 2V_{2(o)}}{3}$$

20

【0032】となる。

【0033】これは、 $i$ 番目の出力回路のみを考えた場合は、「 $i$ 番目の負荷を駆動するために出力回路に流れる電流に起因して、絵素に充電される電圧が変動することはない。」ということを示している。

【0034】従って、もし、駆動器の出力端子がすべて表示データ1に対する振動電圧を出力している場合は、全ての出力回路と負荷との間の電流にも同様のことが言え、結果として駆動器の全出力端子に接続された絵素には均一な電圧がかかることになる。

30

【0035】次に、隣接するソースライン(負荷)に対応する出力回路が、それぞれ表示データ1と表示データ3を出力する場合について考察する。

【0036】図19は、表示データ1と表示データ3に対応する、駆動器の出力波形を対比させて示しており、図に示したように、表示データ1に対応する振動電圧を出力している出力回路と負荷との間では、電圧供給線10と12にそれぞれ電流 $I_{vo}$ と電流 $I_{v2}$ が流れ、表示データ3に対応する振動電圧を出力している出力回路と負荷との間では、電圧供給線12と15にそれぞれ電流 $I_{v2}'$ と電流 $I_{v5}$ が流れる。

40

【0037】ここで、電流 $I_{v2}$ と電流 $I_{v2}'$ の向きは逆になっている。すなわち、データ1対応の振動電圧を出力している出力回路においては、階調用基準電圧 $V_2$ の電圧供給線12に本来電圧上昇をもたらすべき電流 $I_{v2}$ が、データ3対応の振動電圧を出力している出力回路による電流 $I_{v2}'$ に打ち消されてしまう。

【0038】例えば、基準電圧 $V_o$ と $V_2$ の電位差と、基準電圧 $V_2$ と $V_5$ の電位差がほぼ同じであれば、電流 $I_{v2}$ と $I_{v2}'$ は絶対値がほぼ同じで向きが逆になるから、基準電圧 $V_2$ の電圧供給線12は電圧上昇も電圧降

50

下も発生しなくなる。

【0039】ところが、基準電圧 $V_0$ の電圧供給線10は確実に電圧降下を起こすから、上述の出力回路から流れ出す電流と、該出力回路に流れ込む電流による、絵素の電圧変動の補償が行われず、絵素に与えられるデータ1に対応する階調電圧 $V_{p1}$ は下がってしまうことになる。

【0040】図20は、電圧供給線10、12の電圧入力端子からの距離 $x$ だけ離れた位置における、駆動器と負荷との間を流れる電流 $I_{v0}$ 、 $I_{v2}$ に基づく基準電圧 $V_0$ 、 $V_2$ の電位変動を、データが1の時に絵素に与えられる電圧 $V_1$ とともに示す概念図である。

【0041】図20(a)は、駆動器の全ての出力が表示データ1に対応したものである場合の電位変動、図20(b)は、駆動器の隣接する出力回路の出力が表示データ1と3に対応したものである場合の電位変動を示している。

【0042】駆動器の全ての出力が表示データ1に対応したものである場合、図20(a)に示すように、表示データ1に対応する絵素電圧 $V_1$ は、距離 $x$ に拘らず一定になっている。

【0043】これに対し、駆動器の隣接する出力回路の出力が表示データ1と3に対応したものである場合、図20(b)に示すように、表示データ1に対応する絵素電圧は、上記距離 $x$ の位置では、入力端での電圧 $V_1$ に比べて、 $\Delta V_1$ だけ電位が低下することとなる。

【0044】また、データ3に対応する絵素電圧を出力する出力回路では、逆に電圧降下をもたらすべき電流 $I_{v2}$ が、電流 $I_{v2}$ に打ち消され、基準電圧 $V_2$ の電圧供給線に電圧降下が生じないこととなる一方で、基準電圧 $V_5$ の電圧供給線には、電流 $I_{v5}$ により確実に電圧上昇を生じるから、データ3に対応する絵素電圧は本来の値より上昇してしまうことになる。

【0045】なお、以上の説明では、基準電圧 $V_0$ 、 $V_2$ 、 $V_5$ の大小関係が、 $V_0 > V_2 > V_5$  ( $> V_7$ )である場合について説明したが、上記基準電圧の大小関係が $V_0 < V_2 < V_5$  ( $< V_7$ )である場合も、上記と同様な絵素電圧の変動が生ずることとなるので、その説明は省略する。

【0046】また、以上の説明では、説明を簡単なものにするため、一部、条件を単純化している。その点に関して以下に簡単に補足説明する。

【0047】実際には、各出力回路を流れる電流は、それぞれの電圧供給線ではこれを流れる全電流の1つの電流成分となっている。従って $i$ 番目の出力回路での電圧降下は、各出力回路を流れる電流を各電流成分と見做して、その全ての電流成分の各々によって電圧供給線の、電圧入力端子から $i$ 番目の出力回路との接続点までの部分に生ずる電圧降下の総和として与えられる。

【0048】もちろん、例えば $(i-1)$ 番目の出力回

路による電流成分は、電圧供給線の、電圧入力端子から $(i-1)$ 番目の出力回路との接続端までの部分にしか電圧降下(上昇)をもたらさない。

【0049】なお、以上の説明では電圧供給線はその一端にのみ入力端子を有する構成としているが、実際には、例えばその両端に入力端子を設ける等の工夫を行う場合が多く、その場合の電流解析はさらに複雑になる。その他、上記説明のために簡略化した条件については、本発明とは直接関係しないので、ここではこれ以上論じない。

【0050】次に、従来の6ビット駆動器について説明する。

【0051】図21は、従来の6ビット駆動器の1出力相当の回路構成を示す。図において、600aは上記6ビット駆動器の、1つのソースラインに対応する出力回路で、この出力回路600aは、6ビットのデータ信号 $D_0 \sim D_5$ をサンプリング信号 $T_{smp}$ に基づいてサンプリングする回路610と、その出力を保持するホールド回路620と、該ホールド出力 $d_0 \sim d_5$ に基づいて上記各アナログスイッチを制御する選択制御部630とを備えている。

【0052】この選択制御部630は、上記駆動器のLSI外部から9つの階調用基準電圧 $V_{s1}$  ( $i=0, 1, \dots, 8$ )が供給されるスイッチ部630bと、該スイッチ部630bを構成する複数のアナログスイッチ $ASW_{s1}$  ( $i=0, 1, \dots, 8$ )を制御する選択制御回路630aとからなり、上記各階調用基準電圧は、それぞれ対応するアナログスイッチを介して負荷(ソースライン)へ出力されるようになっている。

【0053】また、上記選択制御回路630aは、図22に示すように補間信号発生回路631と電圧選択変調回路632とから構成されている。この補間信号発生回路631は、6ビット表示データの下位3ビットの値 $d_0, d_1, d_2$ に基づいて、デューティ比がそれぞれ8:0, 7:1, 6:2, 5:3, 4:4, 3:5, 2:6, 1:7である振動波形を有する8つの信号のうちから、所要のものを選択する回路である。

【0054】この補間信号発生回路631には、図23に示すように、デューティ比がそれぞれ7:1, 6:2, 5:3, 4:4である4つの信号 $t_1 \sim t_4$ が供給されている。

【0055】上記電圧選択変調回路632では、6ビットの表示データの上位3ビットの値 $d_3 \sim d_5$ に基づいてアナログスイッチの制御して、上記9つの階調用基準電圧から対の電圧を選択する。このように選択された一対の階調用基準電圧は、補間信号発生回路631から出力される信号(補間信号) $T$ により変調される。

【0056】表3は、上記選択制御回路630aの論理構成を示す論理表で、表3(a)は補間信号発生回路の論理表、表3(b)は電圧選択変調回路の論理表であ

る。

【0057】

\*【表3】

\*

(a)

d <sub>2</sub>	d <sub>1</sub>	d <sub>0</sub>	T
0	0	0	1
0	0	1	t <sub>1</sub>
0	1	0	t <sub>2</sub>
0	1	1	t <sub>3</sub>
1	0	0	t <sub>4</sub>
1	0	1	$\bar{t}_3$
1	1	0	$\bar{t}_2$
1	1	1	$\bar{t}_1$

(b)

d <sub>5</sub>	d <sub>4</sub>	d <sub>3</sub>	S <sub>0</sub>	S <sub>8</sub>	S <sub>16</sub>	S <sub>24</sub>	S <sub>32</sub>	S <sub>40</sub>	S <sub>48</sub>	S <sub>56</sub>	S <sub>64</sub>
0	0	0	T	$\bar{T}$							
0	0	1		T	$\bar{T}$						
0	1	0			T	$\bar{T}$					
0	1	1				T	$\bar{T}$				
1	0	0					T	$\bar{T}$			
1	0	1						T	$\bar{T}$		
1	1	0							T	$\bar{T}$	
1	1	1								T	$\bar{T}$

【0058】表3 (b) の論理表におけるTは、表3 ※る。

(a) の論理表における補間信号発生回路の出力であ 【0059】

り、これは、同表より得られる次式で表される信号であ※ 【数3】

$$T = (0) + (1)t_1 + (2)t_2 + (3)t_3 + (4)t_4 + (5)\bar{t}_3 + (6)\bar{t}_2 + (7)\bar{t}_1$$

但し、(m)のmは表示データの10進値を示す。

【0060】たとえば、表示データの値が4のとき、  
 (d<sub>2</sub>, d<sub>1</sub>, d<sub>0</sub>) = (1, 0, 0) であるから、補  
 間信号発生回路631は信号t<sub>4</sub>を選択し(表3 (a)  
 参照)、これを補間信号Tとして電圧選択変調回路63  
 2に与える。

【0061】また、(d<sub>5</sub>, d<sub>4</sub>, d<sub>3</sub>) = (0, 0,  
 0) であるから、電圧選択変調回路632は階調用基準  
 電圧V<sub>0</sub>とV<sub>8</sub>に対応するアナログスイッチの制御信号  
 s<sub>0</sub>とs<sub>8</sub>を選択し、それぞれの制御信号を信号t<sub>4</sub>と

その反転信号/ $\bar{t}_4$ で変調する。即ち、制御信号s<sub>0</sub>は  
 t<sub>4</sub>と同一波形に、制御信号s<sub>8</sub>はt<sub>4</sub>の反転波形と同  
 一波形に変調される。

【0062】従って、6ビット駆動器の出力としては、  
 図24に示すような波形の信号が得られ、上述した表示  
 装置の振動電圧駆動方法に記載の原理に基づいて絵素に  
 はその平均値としての直流電圧が与えられることにな  
 る。

50 【0063】このようにして、段階的に変化する9つの

階調用基準電圧の各々の間に、それぞれ7つの補間階調信号を作成することが可能となり、6ビット64階調の駆動器が実現される。

【0064】ところが、近接する出力回路が、隣接する対の階調用基準電圧により作成される振動電圧を出力する状態では、上述した3ビット駆動器と同様に、絵素に印加される電位に変動が生じてしまい、正確な階調が得られないことがある。

【0065】図25は、階調用基準電圧 $V_0$ と $V_8$ との間の補間階調電圧 $V_{11}$ と、階調用基準電圧 $V_8$ と $V_{16}$ との間の補間階調電圧 $V_{11}$ を示している。この場合、階調用基準電圧 $V_0$ の電圧供給線では、負荷に流れ込む電流 $I_{v0}$ によって電圧降下が生じるにもかかわらず、階調用基準電圧 $V_8$ の電圧供給線では、補間階調電圧 $V_{11}$ を発生させるための負荷への流入電流 $I_{v8}$ によって、階調用基準電圧 $V_8$ の電圧降下を補償するための電圧上昇が正常に発生しなくなる。このため、絵素に印加される補間階調電圧 $V_{11}$ は変動してしまうことになる。

【0066】また、補間階調電圧 $V_{11}$ は、階調用基準電圧 $V_{16}$ の電圧供給線では、電圧上昇が生ずるのに対し、階調用基準電圧 $V_8$ の電圧供給線では、正常な電圧降下が生じないので、同じく変動してしまう。

【0067】図26は従来の8ビットの駆動器を説明するための図であり、その1出力相当の出力回路の構成を示し、また、図27は該出力回路を構成する選択制御部の構成、図28は、該選択制御部の詳細な構成を示している。図29は信号 $t_0 \sim t_4$ の波形を示している。

【0068】図において、700aは上記8ビット駆動器の、1つのソースラインに対応する出力回路で、この

出力回路700aは、8ビットのデータ信号 $D_0 \sim D_7$ をサンプリング信号 $T_{\text{sm}}p$ に基づいてサンプリングする回路710と、その出力を保持するホールド回路720と、該ホールド出力 $d_0 \sim d_7$ に基づいて上記各アナログスイッチを制御する選択制御部730とを備えている。

【0069】また、上記選択制御部730は、上記駆動器のLSI外部から9つの階調用基準電圧 $V_{32i}$  ( $i=0, 1, \dots, 8$ )が供給されるスイッチ部730bと、該スイッチ部730bを構成するアナログスイッチ $ASW_{32i}$  ( $i=0, 1, \dots, 8$ )を制御する選択制御回路730aとからなり、上記各階調用基準電圧は、それぞれ対応するアナログスイッチを介して負荷（ソースライン）へ出力されるようになっている。

【0070】上記選択制御回路730aは、図28に示すようにパルス信号 $t_0 \sim t_4$ が入力される補間信号発生回路731と電圧選択変調回路732とから構成されている。この補間信号発生回路731は、8ビット表示データの低位5ビットの値 $D_0 \sim D_4$ に基づいて、デューティ比がそれぞれ異なる複数の信号のうちから、所要のものを選択する回路である。

【0071】また、表4は、上記選択制御部における補間信号発生回路と電圧選択変調回路の論理構成を示す論理表である。電圧選択変調回路732の論理表（表4(b)）のTは、補間信号発生回路731の出力Tを表し、表4(a)より得られる以下の式で表される信号である。

【0072】

【表4】

10

20



る電流の影響により、本来発生すべき電圧降下あるいは電圧上昇が阻害される。このため、表示データ通りの正確な階調表示を行うことが困難となる。

【0079】本発明は上記のような問題点を解決するためになされたもので、その出力端子間で、異なる補間階調電圧を出力する際に発生するおそれのある端子間漏話を補償することができ、これにより、表示装置での正確な階調表示を行うことができる表示装置の駆動回路及び液晶表示装置を得ることが本発明の目的である。

#### 【0080】

【課題を解決するための手段】この発明に係る表示装置の駆動回路は、表示装置を構成する複数の負荷を、表示データに基づいた階調表示信号により駆動する駆動回路である。この駆動回路は、該負荷に対応して設けられ、本駆動回路外部から与えられる電位レベルが異なる複数の階調用基準電圧のうちから、2つの階調用基準電圧を該表示データに基づいて選択し、該選択した2つ1組の階調用基準電圧を用いて、該表示データに対応した補間階調電圧を出力する複数の信号出力回路と、該複数の階調用基準電圧の各々に対応して本駆動回路内に設けられ、該階調用基準電圧を該各信号出力回路に供給するための複数の電圧供給線とを備えている。該階調用基準電圧の内、該表示装置に供給される共通電圧との差が最大のものと最小のもの以外の階調用基準電圧に対応する電圧供給線は、第1及び第2の信号供給線を一對にして本駆動回路内に配線したものである。該信号出力回路は、該第1の信号供給線が、これより高電位側の階調用基準電圧の供給線と組合わされ、該第2の信号供給線が、これより低電位側の階調用基準電圧の供給線と組合わされるよう構成したものである。そのことにより上記目的が達成される。

【0081】この発明は、上記表示装置の駆動回路において、前記各供給線が、その電気的特性が、補間階調電圧を作成する際これと組合わされる他の供給線の電気的特性とはほぼ等しくなるよう構成されていることが好ましい。

【0082】この発明は、上記表示装置の駆動回路において、前記2本一對の信号供給線からなる電圧供給線が、過渡状態経過後の定常状態においては、その一方の信号供給線では電流が負荷に流れ込むよう流れ、その他方の信号供給線では電流が負荷から流れ出すよう流れるものであることが好ましい。

【0083】この発明は、上記表示装置の駆動回路において、前記信号出力回路は、補間階調電圧を振動電圧法により作成するものであることが好ましい。

【0084】この発明は、上記表示装置の駆動回路において、前記信号出力回路が、補間階調電圧を抵抗分圧により作成するものであることが好ましい。

【0085】この発明に係る液晶表示装置は、液晶表示を行うための複数の負荷を有する表示部と、表示データ

に基づいた階調表示信号により該表示部の負荷を駆動する駆動回路とを有する液晶表示装置である。該駆動回路は、該負荷に対応して設けられ、本駆動回路外部から与えられる電位レベルが異なる複数の階調用基準電圧のうちから、2つの階調用基準電圧を該表示データに基づいて選択し、該選択した2つ1組の階調用基準電圧を用いて、該表示データに対応した補間階調電圧を出力する複数の信号出力回路と、該複数の階調用基準電圧の各々に対応して設けられ、該階調用基準電圧を該各信号出力回路に供給するための複数の電圧供給線とを備えたものである。該階調用基準電圧の内、該表示装置に供給される共通電圧との差が最大のものと最小のもの以外の階調用基準電圧に対応する電圧供給線は、第1及び第2の信号供給線を一對にして該駆動回路内に配線してなるものである。該信号出力回路は、該第1の信号供給線が、これより高電位側の階調用基準電圧の供給線と組合わされ、該第2の信号供給線が、これより低電位側の階調用基準電圧の供給線と組合わされるよう構成したものである。そのことにより上記目的が達成される。

#### 20 【0086】

【作用】この発明においては、外部から供給される複数の階調用基準電圧のうち、表示装置の共通電圧との差が最大のものと最小のもの以外に対応する電圧供給線と、高電位側の供給線と組み合わされる第1の信号供給線と、低電位側の供給線と組み合わされる第2の信号供給線とから構成したから、電圧供給線における各信号出力回路による電流成分は、負荷から流出する電流成分と負荷へ流入する電流成分とが、該電圧供給線を構成する両信号配線の一方と他方にかけて存在することとなる。このため、ある階調用基準電圧とこれより高電位の階調用基準電圧により補間階調電圧を作成し、かつ該階調用基準電圧とこれより低電位の階調用基準電圧により補間階調電圧を作成する場合でも、中間電位の階調用基準電圧の電圧供給線で、負荷から流出する電流成分と負荷へ流入する電流成分とが混ざることはない。つまり各電圧供給線のそれぞれの信号供給線では、正常に電圧降下あるいは電圧上昇が生ずる。

【0087】これによりその出力端子間で、異なる補間階調電圧を出力する際に発生するおそれのある端子間漏話、つまりある出力端子が、他の出力端子の出力に影響を及ぼすことを補償することができ、表示装置での正確な階調表示を行うことができる。

#### 【0088】

【実施例】まず、本発明の概要について説明する。

【0089】本発明は、外部から与えられた階調用基準電圧の間に補間階調電圧を作成するよう構成したデジタル式駆動器において、その出力端子間で異なった補間階調電圧を出力する場合に発生する端子間漏話を補償し、均質な表示を行うことができるようにしたものである。なお、このようなドライバ（駆動器）の設計には、駆動

器内部に階調用基準電圧の供給線を配置構成するための設計技法と、該駆動器の出力回路部を構成するための設計技法とが用いられる。

【0090】本発明は、最大または最小の階調用基準電圧に対応した電圧供給線以外の電圧供給線、例えば図13に示す従来例における階調用基準電圧 $V_2$ 、 $V_5$ の電圧供給線を2本1対として構成したものである。

【0091】以下、本発明の実施例について説明する。

(実施例1) 図1及び図2は、本発明の第1の実施例による表示装置の駆動回路としての3ビット駆動器を説明するための図である。図1は本発明の3ビット駆動器の主要部を示し、図2は該3ビット駆動器の1出力相当の回路構成を示している。この回路構成は、図13及び図14に示す従来の駆動器に本発明を適用したものである。

【0092】図において、100は液晶表示装置における、振動電圧法を用いた3ビットデジタル駆動器を構成するLSIで、液晶表示装置の複数のソースライン毎に設けられた、それぞれ同一構成の複数の出力回路を有している。また、上記LSI100内には、該LSI外部から供給される階調用基準電圧 $V_0$ 、 $V_2$ 、 $V_5$ 、 $V_7$ を各出力回路に供給するための電圧供給線10、10、2、105、17が配設されており、各電圧供給線は、その一端がLSI100端部の電圧入力端子1〜4に接続されている。

【0093】本実施例では、液晶表示装置の対向電圧との差が最小及び最大の電圧供給線10、17以外の電圧供給線102、105は、2本の信号供給線を1対にしてLSI内部に配線したものである。電圧供給線102は、それぞれ一端が上記入力端子2でのみ接続された対をなす第1及び第2の信号供給線102a、102bから、電圧供給線105は、それぞれ一端が上記入力端子3でのみ接続された対をなす第1及び第2の信号供給線105a、105bから構成されている。なお、信号供給線の接続部分は、LSI内部でもよいし、LSIを収容する、TCP等の容器部分内でもよいし、また、該容器の外部であってもよい。

【0094】100a、100bは、それぞれ、液晶表示装置のi番目及び(i+1)番目の負荷(ソースライン等)に対応する出力回路で、それぞれデータ信号 $D_0$ 、 $D_1$ 、 $D_2$ に基づく階調電圧を、液晶表示装置の対応するソースラインに出力するものである。

【0095】次に、上記出力回路の構成について、図2に示す出力回路100aを用いて説明する。

【0096】上記出力回路100aは、データ信号(表示データ) $D_0$ 、 $D_1$ 、 $D_2$ を制御信号 $T_{smp}$ に基づいてサンプリングするサンプリング回路110と、該回路の出力を制御信号LPにより保持記憶する保持記憶回路120と、該回路120の保持データ $d_0 \sim d_2$ に基づいてソースラインに所定レベルの階調電圧を出力する

選択制御部130とから構成されている。

【0097】この選択制御部130は、上記各供給線からの階調用基準電圧を切り換えて出力するスイッチ部130bと、該スイッチ部での切り換えを上記保持記憶回路MHの保持データ $d_0$ 、 $d_1$ 、 $d_2$ に基づいて制御して、所定の2つの階調用基準電圧を選択する選択制御回路130aとから構成されている。

【0098】ここで、スイッチ部130bは、それぞれ上記電圧供給線10及び17に接続されたアナログスイッチ $ASW_0$ 、 $ASW_7$ と、上記電圧供給線102の第1、第2の信号供給線102a、102bに接続されたアナログスイッチ $ASW_{2H}$ 、 $ASW_{2L}$ と、上記電圧供給線105の第1、第2の信号供給線105a、105bに接続されたアナログスイッチ $ASW_{5H}$ 、 $ASW_{5L}$ とから構成されている。また、上記選択制御回路130aは、保持データ $d_0 \sim d_2$ に基づいて所定の2つのアナログスイッチを選択し、この選択したアナログスイッチを、例えば、図15に示すようなデューティ比が2:1の信号T3により、相補的にオン、オフさせるよう構成されている。しかも、上記アナログスイッチの選択は、常に、第1の信号供給線102a、105aがこれより高電位側の階調用基準電圧の供給線と組み合わせられ、第2の信号供給線102b、105bが、これより低電位側の階調用基準電圧の供給線と組み合わせられるようになっている。

【0099】例えば、階調用基準電圧 $V_0$ とは、信号供給線102aの電位 $V_{2H}$ が組み合わせられ、同様に、信号供給線102bの電位 $V_{2L}$ と、電圧供給線105の第1の信号供給線105aの電位 $V_{5H}$ 、電圧供給線105の第2の信号供給線105bの電位 $V_{5L}$ と電圧供給線17の電位 $V_7$ が組み合わせられて、振動電圧の作成が行われる。なお、すべての供給線は、可能な限り同一の信号伝達特性を持つように製作することが望ましい。

【0100】論理表(表5)はこのような構成の選択制御回路130aの論理構成、つまりその入力(ホールド回路の出力)と出力(アナログスイッチの制御信号)との関係を示している。

【0101】

【表5】

$d_2$	$d_1$	$d_0$	$S_0$	$S_{2H}$	$S_{2L}$	$S_{5H}$	$S_{5L}$	$S_7$
0	0	0	1					
0	0	1	$\bar{t}_3$	$t_3$				
0	1	0			1			
0	1	1			$t_3$	$\bar{t}_3$		
1	0	0			$\bar{t}_3$	$t_3$		
1	0	1					1	
1	1	0					$t_3$	$\bar{t}_3$
1	1	1						1

\*

$$\left\{ \begin{array}{l} S_0 = \{0\} + \{1\} \bar{t}_3 \\ S_{2H} = \{1\} t_3 \\ S_{2L} = \{2\} + \{3\} t_3 + \{4\} \bar{t}_3 \\ S_{5H} = \{3\} \bar{t}_3 + \{4\} t_3 \\ S_{5L} = \{5\} + \{6\} t_3 \\ S_7 = \{6\} \bar{t}_3 + \{7\} \end{array} \right.$$

但し、 $\{n\}$ の $n$ は 下位3ビットの10進値を示す。

$$\begin{array}{ll} \text{即ち、}\{0\} = 000 & \{1\} = 001 \\ \{2\} = 010 & \{3\} = 011 \\ \{4\} = 100 & \{5\} = 101 \\ \{6\} = 110 & \{7\} = 111 \end{array}$$

【0104】次に作用効果について説明する。

【0105】例えば、上記出力回路100aで階調用基準電圧 $V_0$ と $V_2$ が選択され、出力回路100bで階調用基準電圧 $V_2$ と $V_5$ が選択された場合について説明する。

【0106】電圧供給線102の第1の信号供給線102aでは、負荷から流れ出す電流 $I_{v2}$ により電圧上昇が発生し、このとき、最大の階調用基準電圧に対応する電圧供給線10では、負荷へ流れ込む電流 $I_{v0}$ により電圧降下が生じる。上記信号配線102aでの電圧上昇と電圧供給線10での電圧降下とが相互に補償し合って、正確な電圧 $V_1$ が絵素に与えられることとなる。

【0107】また、電圧供給線102の第2の信号供給線102bでは、負荷へ流入する電流 $I_{v2'}$ により電圧降下が生じ、電圧供給線115の第1の信号供給線105aでは、負荷から流出する電流 $I_{v5}$ により電圧上昇が生じる。このため、電圧供給線102の信号供給線102bに生ずる電圧降下と電圧供給線105の信号供給線

\*【0102】またこの論理表より、以下の論理式が得られ、この式を論理回路に展開することで上記選択制御回路130aが実現されている。

【0103】

【数4】

105aに生じる電圧上昇とが相互に補償しあって、正確な補間階調電圧 $V_3$ が絵素に与えられることとなる。

【0108】このような電圧供給線間での抵抗による電圧変動の補償は、上記と同様に電圧供給線105の第2の信号供給線105bと電圧供給線17との間でも行われ、データ信号に対応した正確な補間階調電圧が絵素に与えられる。

40 【0109】このように本実施例では、駆動器の出力端子間で異なる補間階調電圧を出力する際に発生するおそれのある端子間漏話を補償することができ、表示装置での正確な階調表示を行うことができる。

【0110】（実施例2）図3及び図4は、本発明の第2の実施例による表示装置の駆動回路としての6ビット駆動器を説明するための図である。図3は本発明の6ビット駆動器の主要部を示し、図4は該6ビット駆動器の1出力相当の回路構成を示している。この回路構成は、図21及び図22に示す従来の駆動器に本発明を適用したものである。

【0111】図において、200は液晶表示装置における、振動電圧法を用いた6ビットデジタル駆動器を構成するLSIで、上記第1実施例の駆動器と同様、液晶表示装置の複数のソースライン毎に設けられた、それぞれ同一構成の複数の出力回路を有している。また、上記LSI200内には、該LSI外部から供給される階調用基準電圧 $V_{si}$  ( $i=0, 1, 2, \dots, 8$ )を各出力回路に供給するための電圧供給線が配設されており、各電圧供給線は、その一端がLSI200端部の電圧入力端子1~9に接続されている。

【0112】本実施例では、液晶表示装置の対向電圧との差が最小及び最大の電圧供給線10、64以外の電圧供給線は、2本の信号供給線を一對にしてLSI内部に配線したものである。

【0113】例えば、階調用基準電圧 $V_8$ に対応する電圧供給線208は、それぞれ一端が上記電圧入力端子2でのみ接続された対をなす第1及び第2の信号供給線208a、208bから、階調用基準電圧 $V_{16}$ に対応する電圧供給線216は、それぞれ一端が上記電圧入力端子3でのみ接続された対をなす第1及び第2の信号供給線216a、216bから構成されている。

【0114】200a、200bは、それぞれ、液晶表示装置の*i*番目及び(*i*+1)番目の負荷(ソースライン等)に対応する出力回路で、それぞれデータ信号D0~D5に基づく階調電圧を、液晶表示装置の対応するソースラインに出力するものである。

【0115】次に、上記出力回路の構成について、図4に示す出力回路200aを用いて説明する。

【0116】上記出力回路200aは、データ信号D0~D5を制御信号 $T_{smp}$ に基づいてサンプリングするサンプリング回路210と、該回路の出力を制御信号LPにより保持記憶する保持記憶回路220と、該回路220の保持データd0~d5に基づいてソースラインに所定レベルの階調電圧を出力する選択制御部230とから構成されている。

【0117】この選択制御部230は、上記各供給線から階調用基準電圧を切り換えて出力するスイッチ部230bと、該スイッチ部230bでの切り換えを上記保持記憶回路MHの保持データd0~d5に基づいて制御して、所定の2つの階調用基準電圧を選択する選択制御回路230aとから構成されている。

【0118】ここで、スイッチ部230bは、それぞれ上記電圧供給線10及び64に接続されたアナログスイッチ $ASW_0$ 、 $ASW_{64}$ と、上記電圧供給線208の第1、第2の信号供給線208a、208bに接続されたアナログスイッチ $ASW_{8H}$ 、 $ASW_{8L}$ と、上記電圧供給線216の第1、第2の信号供給線216a、216bに接続されたアナログスイッチ $ASW_{16H}$ 、 $ASW_{16L}$ とから構成されている。

【0119】また、上記選択制御回路230aは、図5に示すように、従来の駆動器600と同一構成の補間電圧発生回路231と、保持データ $d_3 \sim d_5$ に基づく制御信号 $S_0$ 、 $S_{64}$ 、及び $S_{8H}$ 、 $S_{8L}$  ( $i=1, 2, \dots, 7$ )により、所定の2つのアナログスイッチをオンして階調用基準電圧を選択し、該選択した階調用基準電圧を上記補間電圧発生回路231からの信号により変調する電圧選択変調回路232とから構成されている。つまり、上記補間信号発生回路の論理構成は、論理表(表3)に示す従来のものと同一であり、電圧選択変調回路232の論理構成は、論理表(表6)に示すように、上記アナログスイッチの選択が、常に、第1の信号供給線がこれより高電位側の階調用基準電圧の供給線と組合わされ、第2の信号供給線が、これより低電位側の階調用基準電圧の供給線と組合わされるようになっている。なお、上記電圧選択変調回路を構成する実際の論理回路は、表6より得られる以下の論理式を実際の回路に展開することで得られる。

【0120】

【表6】

23

24

d5	d4	d3	S0	S8H	S8L	S16H	S16L	S24H	S24L	S32H	S32L	S40H	S40L	S48H	S48L	S56H	S56L	S64
0	0	0	T	$\bar{T}$														
0	0	1			T	$\bar{T}$												
0	1	0					T	$\bar{T}$										
0	1	1						T	$\bar{T}$									
1	0	0								T	$\bar{T}$							
1	0	1										T	$\bar{T}$					
1	1	0												T	$\bar{T}$			
1	1	1														T	$\bar{T}$	

本発明に基づく選択制御回路の中の  
電圧選択変調回路の論理表 (6ビット)

【0121】

【数5】

$$S_0 = \{0\} T$$

$$S_{8H} = \{0\} T$$

$$S_{8L} = \{8\} T$$

$$S_{16H} = \{8\} T$$

$$S_{16L} = \{16\} T$$

$$S_{24H} = \{16\} T$$

$$S_{24L} = \{24\} T$$

$$S_{32H} = \{24\} T$$

$$S_{32L} = \{32\} T$$

$$S_{40H} = \{32\} T$$

$$S_{40L} = \{40\} T$$

$$S_{48H} = \{40\} T$$

$$S_{48L} = \{48\} T$$

$$S_{56H} = \{48\} T$$

$$S_{56L} = \{56\} T$$

$$S_{64} = \{56\} T$$

$$\text{但し、}\{0\} = \bar{d}_5 \bar{d}_4 \bar{d}_3 \quad \{8\} = \bar{d}_5 \bar{d}_4 d_3$$

$$\{16\} = \bar{d}_5 d_4 \bar{d}_3 \quad \{24\} = \bar{d}_5 d_4 d_3$$

$$\{32\} = d_5 \bar{d}_4 \bar{d}_3 \quad \{40\} = d_5 \bar{d}_4 d_3$$

$$\{48\} = d_5 d_4 \bar{d}_3 \quad \{56\} = d_5 d_4 d_3$$

【0122】次に作用効果について説明する。

【0123】例えば、上記出力回路200aで階調用基準電圧 $V_0$ と $V_8$ が選択され、上記出力回路200bで階調用基準電圧 $V_0$ と $V_{16}$ が選択された場合について説明する。

【0124】このような構成の6ビット駆動器では、図25に示す階調用基準電圧 $V_0$ に対応する電圧供給線208に負荷から流入する電流 $I_{v0}$ は、該電流供給線208の第1の信号供給線208aを流れ、この信号供給線において電圧上昇を生じさせる。この電圧上昇は、電圧

供給線10を負荷に向かって流れる電流 $I_{v0}$ による電圧降下と相互に補償しあつて、絵素には均質な補間階調電圧 $V_0$ が与えられることとなる。

【0125】また、電圧供給線208から負荷に流れ出す電流 $I_{v0}$ は、該電圧供給線208の第2の信号供給線208bを流れ、該信号供給線208bに電圧降下を生じさせる。この電圧上昇は、電圧供給線216の第1の信号供給線216aに負荷から流れ込む電流 $I_{v16}$ による電流上昇と相俟つて、均質な階調電圧 $V_{16}$ が絵素に与えられることとなる。

【0126】(実施例3) 図6及び図7は、本発明の第3の実施例による表示装置の駆動回路としての8ビット駆動器を説明するための図である。図6は本発明の8ビット駆動器の主要部を示し、図7は該8ビット駆動器の1出力相当の回路構成を示している。この回路構成は、図26及び図27に示す従来の8ビット駆動器に本発明を適用したものである。

【0127】図において、300は液晶表示装置の振動電圧法を用いた8ビットデジタル駆動器を構成するLSIで、上記第2実施例の駆動器と同様、液晶表示装置の複数のソースライン(負荷)毎に設けられた、それぞれ同一構成の複数の出力回路を有している。また、上記LSI300内には、該LSI外部から供給される階调用基準電圧 $V_{32i}$  ( $i=0, 1, 2, \dots, 8$ )を各出力回路に供給するための電圧供給線が配設されており、各電圧供給線は、その一端がLSI300端部の信号入力端子1~9に接続されている。

【0128】本実施例では、液晶表示装置の対向電圧との差が最小及び最大の電圧供給線10、256以外の電圧供給線は、2本の信号供給線を一對にしてLSI内部に配線したものである。

【0129】例えば、階调用基準電圧 $V_{32}$ に対応する電圧供給線332は、それぞれ一端が上記入力端子2での

み接続された対をなす第1及び第2の信号供給線332a、332bから、階調用基準電圧 $V_{64}$ に対応する電圧供給線364は、それぞれ一端が上記入力端子3でのみ接続された対をなす第1及び第2の信号供給線364a、364bから構成されている。

【0130】300a、300bは、それぞれ、液晶表示装置のi番目及び(i+1)番目の負荷(ソースライン等)に対応する出力回路で、それぞれ表示データ $D_0 \sim D_7$ に基づく階調電圧を、液晶表示装置の対応するソースラインに出力するものである。

【0131】次に、上記出力回路の構成について、図7に示す出力回路300aを用いて説明する。

【0132】上記出力回路300aは、表示データ $D_0 \sim D_8$ を制御信号 $T_{smp}$ に基づいてサンプリングするサンプリング回路310と、該回路の出力を制御信号LPにより保持記憶する保持記憶回路320と、該回路320の保持データ $d_0 \sim d_7$ に基づいてソースラインに所定レベルの階調電圧を出力する選択制御部330とから構成されている。

【0133】この選択制御部330は、上記各供給線からの階調用基準電圧を切り換えて出力するスイッチ部330bと、該スイッチ部330bでの切り換えを上記保持記憶回路MHの保持データ $d_0 \sim d_7$ に基づいて制御して、所定の2つの階調用基準電圧を選択する選択制御回路330aとから構成されている。

【0134】ここで、スイッチ部330bは、それぞれ\*

$d_5$	$d_4$	$d_3$	$S_0$	$S_{32H}$	$S_{32L}$	$S_{64H}$	$S_{64L}$	$S_{96H}$	$S_{96L}$	$S_{128H}$	$S_{128L}$	$S_{160H}$	$S_{160L}$	$S_{192H}$	$S_{192L}$	$S_{224H}$	$S_{224L}$	$S_{256}$
0	0	0	$\bar{T}$	T														
0	0	1			$\bar{T}$	T												
0	1	0					$\bar{T}$	T										
0	1	1							$\bar{T}$	T								
1	0	0									$\bar{T}$	T						
1	0	1											$\bar{T}$	T				
1	1	0													$\bar{T}$	T		
1	1	1															$\bar{T}$	T

本発明に基づく選択制御回路の中の  
電圧選択変調回路の論理表 (8ビット)

【0137】

【数6】

\*上記電圧供給線10及び256に接続されたアナログスイッチ $ASW_0$ 、 $ASW_{256}$ と、その他の電圧供給線の第1、第2の信号供給線に接続されたアナログスイッチ $ASW_{32iH}$ 、 $ASW_{32iL}$  ( $i=1, 2, \dots, 7$ )とから構成されている。

【0135】また、上記選択制御回路330aは、図8に示すように、従来の8ビット駆動器700と同一構成の補間電圧発生回路331と、保持データ $d_5 \sim d_7$ に基づく制御信号 $S_0$ 、 $S_{256}$ 、及び $S_{32iH}$ 、 $S_{32iL}$  ( $i=1, 2, \dots, 7$ )により、所定の2つのアナログスイッチをオンして階調用基準電圧を選択し、該選択した階調用基準電圧を上記補間電圧発生回路からの信号により変調する電圧選択変調回路332とから構成されている。つまり、上記補間信号発生回路の論理構成は、論理表(表6(a))に示す従来のものと同一であり、電圧選択変調回路332の論理構成は、論理表(表7)を示すように、上記アナログスイッチの選択が、常に、第1の信号供給線がこれより高電位側の階調用基準電圧の供給線と組合わされ、第2の信号供給線が、これより低電位側の階調用基準電圧の供給線と組合わされるようになっている。なお、上記電圧選択変調回路を構成する実際の論理回路は、表7より得られる以下の論理式を実際の回路に展開することで得られる。

【0136】

【表7】

$$\begin{aligned}
 S_0 &= \{0\}T \\
 S_{32H} &= \{0\}T & S_{32L} &= \{32\}T \\
 S_{64H} &= \{32\}T & S_{64L} &= \{64\}T \\
 S_{96H} &= \{64\}T & S_{96L} &= \{96\}T \\
 S_{128H} &= \{96\}T & S_{128L} &= \{128\}T \\
 S_{160H} &= \{128\}T & S_{160L} &= \{160\}T \\
 S_{192H} &= \{160\}T & S_{192L} &= \{192\}T \\
 S_{224H} &= \{192\}T & S_{224L} &= \{224\}T \\
 S_{256} &= \{224\}T
 \end{aligned}$$

$$\begin{aligned}
 \text{但し、}\{0\} &= \bar{d}7\bar{d}6\bar{d}5 & \{32\} &= \bar{d}7\bar{d}6d5 \\
 \{64\} &= \bar{d}7d6\bar{d}5 & \{96\} &= \bar{d}7d6d5 \\
 \{128\} &= d7\bar{d}6\bar{d}5 & \{160\} &= d7\bar{d}6d5 \\
 \{192\} &= d7d6\bar{d}5 & \{224\} &= d7d6d5
 \end{aligned}$$

【0138】図9は上式を論理回路に展開した場合の、電圧選択変調回路332の回路例を示す。

【0139】このような構成の第3の実施例においても、上記出力回路300aで階調用基準電圧 $V_0$ と $V_{32}$ が選択され、出力回路300bで階调用基準電圧 $V_{32}$ と $V_{64}$ が選択された場合、階调用基準電圧 $V_{32}$ に対応する電圧供給線332に負荷から流入する電流 $I_{V_{32}}$ は、該電流供給線332の第1の信号供給線332aを流れ、この信号供給線において電圧上昇を生じさせ、これが電圧供給線10を負荷に向かって流れる電流 $I_{V_0}$ による電圧降下と相互に補償しあつて、絵素には均質な補間階調電圧 $V_5$ が与えられることとなる。

【0140】また、電圧供給線332から負荷に流れ出す電流 $I_{V_{32}}$ は、該電圧供給線332の第2の信号供給線332bを流れ、該信号供給線332bに電圧降下を生じさせ、これが電圧供給線364の第1の信号供給線364aに負荷から流れ込む電流 $I_{V_{64}}$ による電流上昇と相俟つて、均質な階調電圧 $V_{64}$ が絵素に与えられることとなる。

【0141】上述したように、本発明の実施例では効果は、直接的には、

(1) 外部から入力された基準電圧の間に1つ以上の補間階調を実現する駆動器において、補間を行うことによる階調の変動を補償し、駆動器のすべての出力端子に渡つて均等な階調を実現できることである。

【0142】(2) 特に本発明を8ビット駆動器のような高多階調の駆動器に適用することによって、階調の変動を原因とする出力端子間での階調逆転、たとえば、あ

る出力端子でのある値に対する階調と、他の出力端子の異なった値に対する階調との大小関係が逆転してしまうのを防ぎ、正確な階調表示が可能な高多階調駆動器を実現可能とする。

【0143】(3) 本発明は、たとえば3ビットのような低ビットの駆動器に適用してもその効果は大きい。

【0144】図30は、従来の技術で説明した3ビット駆動器を用いて液晶表示体を駆動して画像表示を行った場合の表示状態を示している。

10 【0145】ここでは、説明を簡単にするため、表示体は駆動器(1)～(4)の4つの駆動器で駆動されているものとし、走査側駆動器を始めとするその他の回路構成については、記述を省略している。この液晶パネル50では、図のような四角の領域51aが階調電圧 $V_1$ で、その外部の領域51bが階調電圧 $V_3$ で表示されている。ここで、階調電圧 $V_1$ は、階调用基準電圧 $V_0$ 及び $V_2$ により作成した補間階調電圧、階調電圧 $V_3$ は、階调用基準電圧 $V_2$ 及び $V_5$ により作成した補間階調電圧である。

20 【0146】ここで、駆動器(2)と(3)による表示領域52、53は、図に示すように補間階調電圧 $V_1$ で表示される領域51aと、補間階調電圧 $V_3$ で表示される領域51bの両方に跨る四角形の領域となっている。

【0147】この場合、発明の課題で述べたように、駆動器(2)、(3)における補間階調電圧 $V_3$ を出力している出力回路部分は、駆動器内部の階调用基準電圧 $V_5$ の電源供給線では電圧上昇が生ずるにも拘わらず、階调用基準電圧 $V_2$ の電圧供給線では、補間階調電圧 $V_1$ の出力端子から流れ込む電流による電圧上昇によって電圧降下が打ち消されてしまい、本来あるべき値より電圧が上昇してしまう。従つて、本来の補間階調電圧 $V_3$ で表示される領域51cの階調が少し補間階調電圧 $V_1$ による階調に近づいてしまい、結果として階調電圧 $V_3$ で示すように本来の補間階調電圧 $V_3$ による表示部分51bより少し補間階調電圧 $V_1$ 側に寄つた階調となってしまうのである。

【0148】この現象は、駆動器の出力端子間の漏話と呼ばれるものであり、本発明では、この漏話を防ぐことができるわけである。従つて、本発明を適用して改良した駆動器では、図30のような、1つの駆動器が受け持つ表示領域で、部分的に階調が異なるような画像表示を行つても、ずれた階調電圧 $V_3$ で表示されるような階調が異なつて見える部分は発生しない。この駆動器内部の漏話を無くすことができるのが、本発明の第3の効果である。

【0149】なお、(2)、(3)は、共に(1)の効果の実際効果を実体化したものと言える。

【0150】上述した実施例では、補間階調電圧を作成する方法として振動電圧法を用いた場合について説明したが、本発明は、補間階調電圧の作成方法が振動電圧法



に制限されるものではない。たとえば、抵抗分割法による階調補間法でも本発明は同様に有効である。

【0151】（実施例4）以下、本発明の第4の実施例による液晶表示装置の駆動回路として、抵抗分割法により補間階調電圧の作成を行う6ビット駆動器について説明する。

【0152】図10ないし図12は、本発明の第4の実施例による表示装置の駆動回路としての6ビット駆動器を説明するための図である。図10は本実施例の6ビット駆動器の主要部を示し、図11は該6ビット駆動器の1出力相当の回路構成を示している。また図12(a)は該1出力相当の出力回路を構成する補間階調電圧作成部の回路構成を示している。

【0153】本実施例の6ビット駆動器は、第2実施例の6ビット駆動器における振動駆動法により補間信号を作成する構成を、抵抗分割により補間信号の作成する構成に置き換えたものである。

【0154】図において、図3～図5と同一符号は同一のものを示す。400は抵抗分割法を用いた6ビットデジタル駆動器を構成するLSIで、上記第2実施例の駆動器と同様、液晶表示装置の複数のソースライン毎に設けられた、それぞれ同一構成の複数の出力回路を有している。また、上記LSI400内には、該LSI外部から供給される階調用基準電圧 $V_{si}$  ( $i=0, 1, 2, \dots, 8$ )を各出力回路に供給するための電圧供給線が配設されており、各電圧供給線は、その一端がLSI400端部の信号入力端子1～9に接続されている。

【0155】本実施例では、液晶表示装置の対向電圧との差が最小及び最大の電圧供給線10、64以外の電圧供給線は、2本の信号供給線を一對にしてLSI内部に配線したものである。

【0156】例えば、階調用基準電圧 $V_0$ に対応する電圧供給線208は、それぞれ一端が上記入力端子2でのみ接続された対をなす第1及び第2の信号供給線208a、208bから、階調用基準電圧 $V_{10}$ に対応する電圧供給線216は、それぞれ一端が上記入力端子3でのみ接続された対をなす第1及び第2の信号供給線216a、216bから構成されている。

【0157】400a、400bは、それぞれ、液晶表示装置の*i*番目及び(*i*+1)番目の負荷（ソースライン等）に対応する出力回路で、それぞれ表示データ $D_0 \sim D_5$ に基づく階調電圧を、液晶表示装置の対応するソースラインに出力するものである。

【0158】次に、上記出力回路の構成について、図11に示す出力回路400aを用いて説明する。

【0159】上記出力回路400aは、データ信号 $D_0 \sim D_5$ を制御信号 $T_{smp}$ に基づいてサンプリングするサンプリング回路410と、該回路の出力を制御信号LPにより保持記憶する保持記憶回路420と、該回路420の保持データ $d_0 \sim d_5$ に基づいてソースラインに

所定レベルの階調電圧を出力する選択制御部430とから構成されている。

【0160】この選択制御部430は、保持データ $d_0 \sim d_5$ に基づいて上記各供給線から所要の2つを選択するとともに、後段のスイッチの制御信号 $S_0 \sim S_7$ を出力する選択制御回路430aと、該選択された2つの供給線の階调用基準電圧をその第1、第2の入力端子431b、432bに受け、これを上記制御信号 $S_0 \sim S_7$ に基づいて抵抗分割するスイッチ部430bとから構成されている。

【0161】ここで、スイッチ部430bは、その入力端子431b及び432b間に直列に接続された、それぞれ抵抗値*r*を有する第1～第8の8個の抵抗 $R_1 \sim R_8$ と、第1の入力端子と出力端子との間に接続されたアナログスイッチ $ASW_0$ と、隣接する抵抗の接続点と出力端子との間に接続されたアナログスイッチ $ASW_1 \sim ASW_7$ とから構成されている。

【0162】また、上記選択制御回路430aは、6ビットの保持データ $d_0 \sim d_5$ の上位の3ビットにより、隣接した1対の供給線を選択し、その供給線の電位を補間階調電圧の作成用電位 $V_{s1}$ 、 $V_{s2}$ として出力する供給線選択回路431aと、上記保持データの下位3ビットにより、上記スイッチの制御信号 $s_0 \sim s_7$ のいずれかの信号を能動状態にして、対応したアナログスイッチをオンにするスイッチ制御回路432aとから構成されている。

【0163】例えば、この選択制御回路430aでは、表示データが4のとき( $d_2=1$ 、 $d_0, d_1, d_3 \sim d_5=0$ )、供給線選択回路431aが上位3ビット $d_0 \sim d_5$ により階调用基準電圧 $V_0$ と $V_{6H}$ を選んでそれぞれスイッチ部430bの第1、第2の入力端子431b、432bに供給する。同時に、スイッチ制御回路432aが、下位3ビット $d_0 \sim d_2$ により $s_0 \sim s_7$ のいずれかの信号を能動にして、対応するアナログスイッチをオンにする。表示データが4であるため、制御信号 $s_4$ が能動になり、アナログスイッチ $ASW_4$ のみがオンとなる。

【0164】この場合の等価回路を図12(b)に示す。図で $R_{on}$ はアナログスイッチのオン抵抗である。

【0165】過渡状態を通過し、十分に時間が経過すれば、負荷との間での電流の流れ $I_{out}$ は実質的に零に近づくので、回路の出力としては8つの抵抗で分圧された電圧 $V_{out}$ が出力される。

$$【0166】V_{out} = (4V_0 + 4V_8) / 8$$

このとき、階调用基準電圧 $V_0$ の電圧供給線10及び階调用基準電圧 $V_8$ の電圧供給線の第1の信号供給線208aには、それぞれ絶対値が等しく、向きが逆の電流 $I_{v0}$ 、 $I_{v8}$ が流れる。

$$【0167】I_{v0} = I_{v8} = (V_8 - V_0) / 8r$$

もし、 $V_0 > V_8$ であれば、この電流は $V_0$ の電圧供給



線10に電圧降下を生じさせ、 $V_0$ の電圧供給線208の第1の信号供給線208aには電圧上昇を生じさせる。

【0168】次に作用効果について説明する。

【0169】以下、電圧変動の補償のメカニズムについて、上記第2の実施例と同様、上記出力回路400aで階調用基準電圧 $V_0$ と $V_0$ が選択され、出力回路400bで階調用基準電圧 $V_0$ と $V_{10}$ が選択された場合について説明する。

【0170】階調用基準電圧 $V_0$ に対応する電圧供給線208に負荷から流入する電流 $I_{vs}$ は、該電圧供給線208の第1の信号供給線208aを流れ、この信号供給線において電圧上昇を生じさせ、これが電圧供給線10を負荷に向かって流れる電流 $I_{v0}$ による電圧降下と相互に補償しあって、絵素には均質な補間階調電圧 $V_0$ が与えられることとなる。

【0171】また、電圧供給線208から負荷に流れ出す電流 $I_{vs'}$ は、該電圧供給線208の第2の信号供給線208bを流れ、該信号供給線208bに電圧降下を生じさせ、これが電圧供給線216の第1の信号供給線216aに負荷から流れ込む電流 $I_{v10}$ による電流上昇と相俟って、均一な階調電圧 $V_{10}$ が絵素に与えられることとなる。

【0172】

【発明の効果】以上のようにこの発明によれば、外部から供給される階調用基準電圧のうち、表示装置の共通電圧との差が最大のものと最小のもの以外に対応する電圧供給線を、高電位側の供給線と組み合わせられる第1の信号供給線と、低電位側の供給線と組み合わせられる第2の信号供給線とから構成したので、電圧供給線における各信号出力回路による電流成分は、負荷から流出する電流成分と負荷へ流入する電流成分とが、該電圧供給線を構成する両信号供給線の一方と他方にかけて存在することとなる。これによりその出力端子間で、異なる補間階調電圧を出力する際に発生するおそれのある端子間漏話を補償することができ、表示装置での正確な階調表示を行うことができる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例による、振動電圧法により補間階調信号の作成を行う3ビット駆動器の主要部を示す図である。

【図2】上記3ビット駆動器を構成する複数の出力回路の1つを示す図である。

【図3】本発明の第2の実施例による、振動電圧法により補間階調信号の作成を行う6ビット駆動器の主要部を示す図である。

【図4】上記6ビット駆動器を構成する複数の出力回路の1つを示す図である。

【図5】上記6ビット駆動器における出力回路を構成する選択制御回路の構成を示す図である。

【図6】本発明の第3の実施例による、振動電圧法により補間階調信号の作成を行う8ビット駆動器の主要部を示す図である。

【図7】上記8ビット駆動器を構成する複数の出力回路の1つを示す図である。

【図8】上記8ビット駆動器における出力回路を構成する選択制御回路の構成を示す図である。

【図9】上記8ビット駆動器の選択制御回路を構成する電圧選択変調回路を構成する論理回路を示す図である。

10 【図10】本発明の第4の実施例による、抵抗分割により補間階調信号の作成を行う6ビット駆動器の主要部を示す図である。

【図11】上記第4実施例の6ビット駆動器を構成する複数の出力回路の1つを示す図である。

【図12】第4実施例の6ビット駆動器における出力回路を構成するアナログスイッチ部を示す図である。

【図13】従来の液晶表示装置の3ビット駆動器を構成する複数の出力回路の1つを示す図である。

20 【図14】従来の3ビット駆動器内での出力回路の配置を示す図である。

【図15】従来の3ビット駆動器の出力回路において補間階調信号を作成するのに用いるデューティ比2:1のパルス波形を示す図である。

【図16】従来の3ビット駆動器の出力回路から出力される補間階調電圧の波形を示す図である。

【図17】従来の3ビット駆動器からの階調用基準電圧 $V_0$ 及び $V_{10}$ による補間階調電圧の波形を拡大して示す図である。

30 【図18】従来の3ビット駆動器のLSI内における、階調用基準電圧の入力端子から所定の出力回路の出力端子までの経路を示す図である。

【図19】従来の3ビット駆動器から出力される、表示データ1と表示データ3の場合の出力波形を示している。

【図20】従来の3ビット駆動器における、電圧供給線での電圧降下及び端子間漏話を示す図である。

【図21】従来の液晶表示装置の6ビット駆動器を構成する複数の出力回路の1つを示す図である。

40 【図22】従来の6ビット駆動器の出力回路を構成する階調用基準電圧の選択制御回路の構成を示す図である。

【図23】従来の6ビット駆動器の選択制御回路に入力されるデューティ比の異なる信号を示す図である。

【図24】従来の6ビット駆動器の出力回路から出力される補間階調電圧の波形を示す図である。

【図25】従来の6ビット駆動器からの、階調用基準電圧 $V_0$ 、 $V_0$ による補間階調電圧 $V_0$ 、及び階調用基準電圧 $V_{10}$ 、 $V_{10}$ による補間階調電圧 $V_{10}$ の波形を示す図である。

50 【図26】従来の液晶表示装置の8ビット駆動器を構成する複数の出力回路の1つを示す図である。

【図27】従来の8ビット駆動器の出力回路を構成する階調用基準電圧の選択制御部の構成を示す図である。

【図28】従来の8ビット駆動器の選択制御回路における補間信号発生回路及び電圧選択変調回路を示す図である。

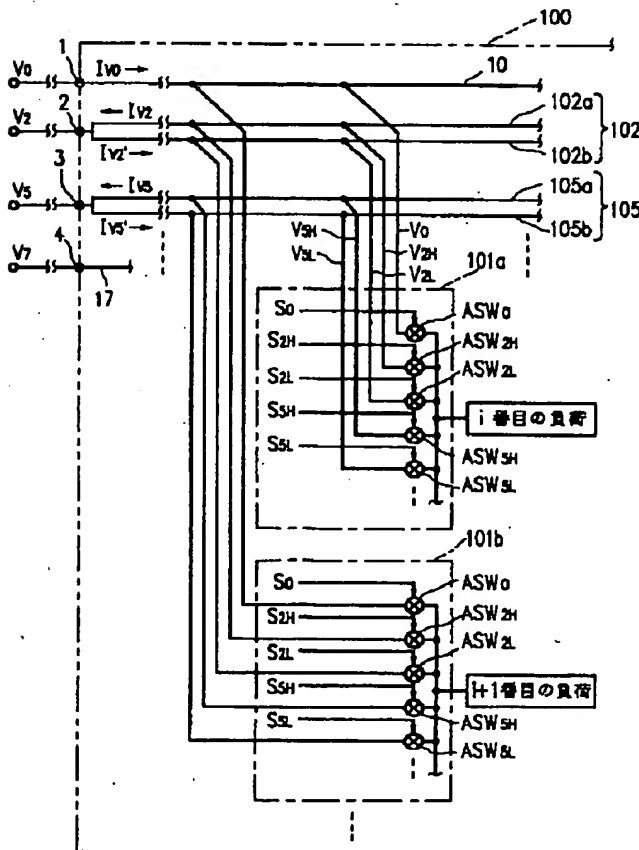
【図29】従来の8ビット駆動器の補間信号発生回路に入力されるデューティ比の異なるパルス波形を示す図である。

【図30】従来の3ビット駆動器による画像表示において端子間漏話が生じている状態を示す図である。

【符号の説明】

- 1～4, 9 LSIの電圧入力端子  
10, 17, 64, 102, 105, 208, 216, 256, 332, 364 電圧供給線  
100 3ビット駆動器のLSI  
101a, 201a, 301a, 401a i番目の負荷に対する出力回路  
101b, 201b, 301b, 401b (i+1)

【図1】



番目の負荷に対する出力回路

102a, 105a, 208a, 216a, 332a, 364a 第1の信号供給線

102b, 105b, 208b, 216b, 332b, 364b 第2の信号供給線

110, 210, 310, 410 サンプリグ回路

120, 220, 320, 420 保持記憶回路

130, 230, 330, 430 選択制御部

130a, 230a, 330a, 430a 選択制御回

10 路

130b, 230b, 330b, 430b スイッチ部

200, 400 6ビット駆動器のLSI

231, 331 補間信号発生回路

232, 332 電圧選択変調回路

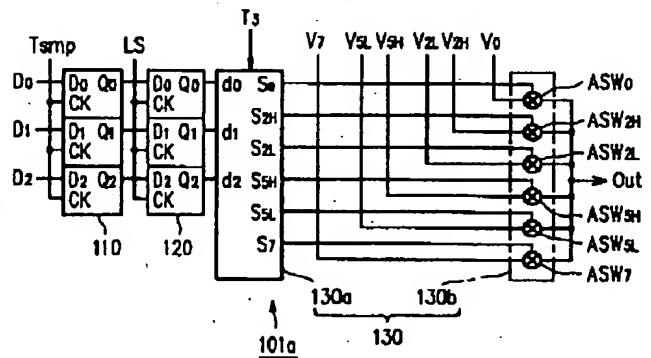
300 8ビット駆動器のLSI

431a 供給線選択回路

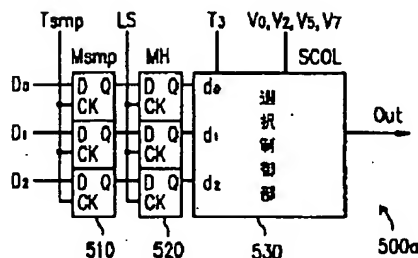
432a スイッチ制御回路

431b, 432b 第1, 第2の入力端子

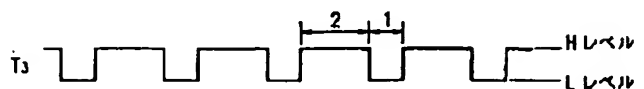
【図2】



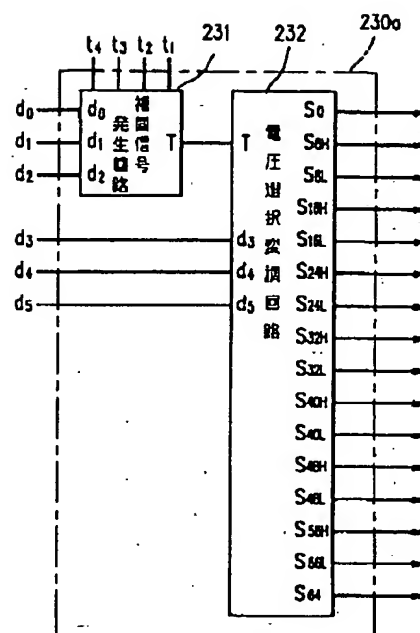
【図13】



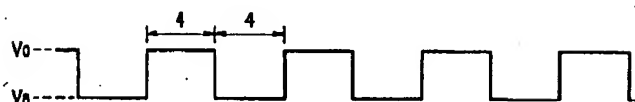
【図15】



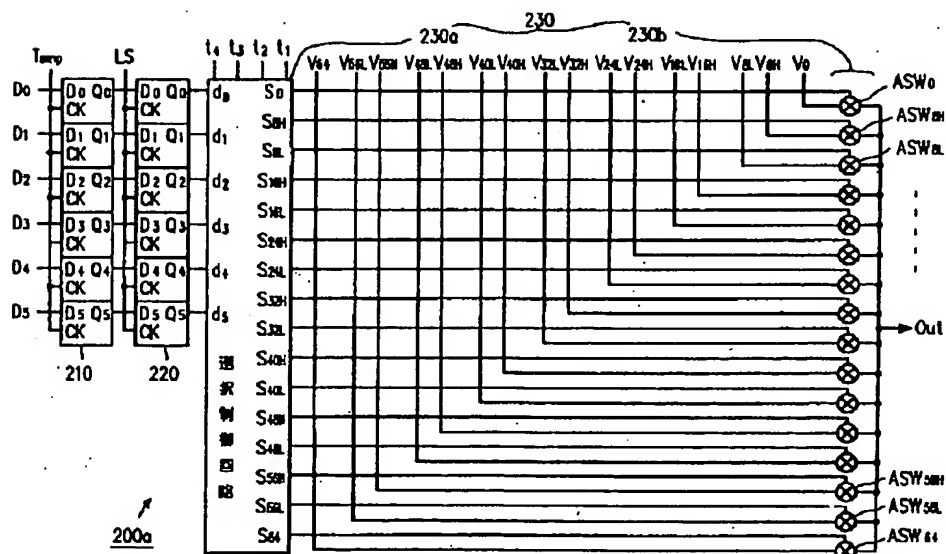
【图 5】



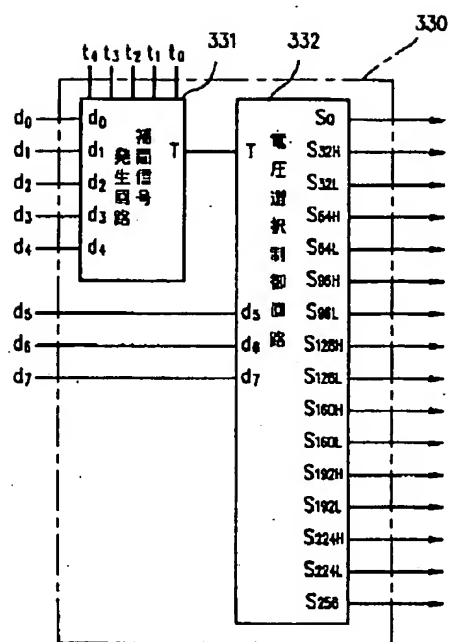
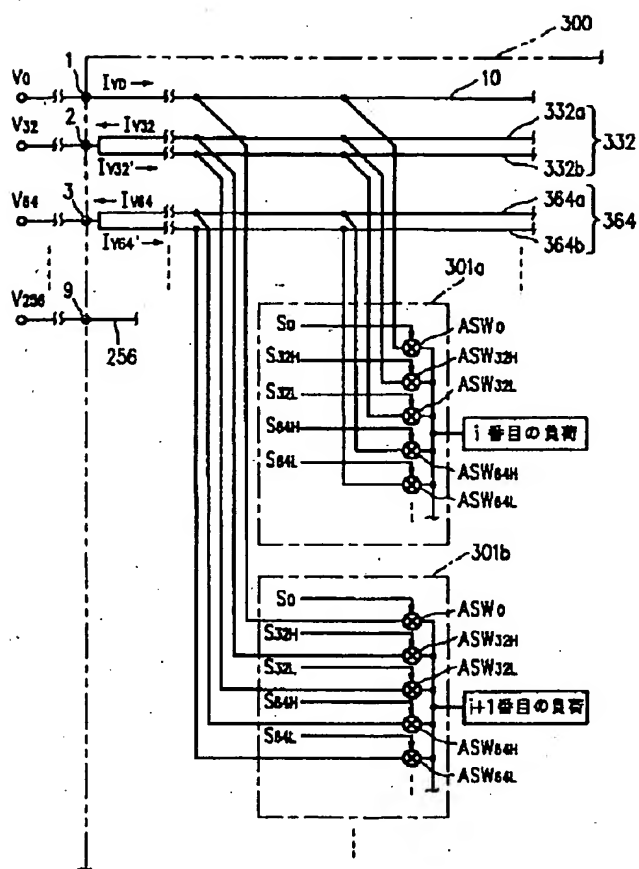
【图 24】



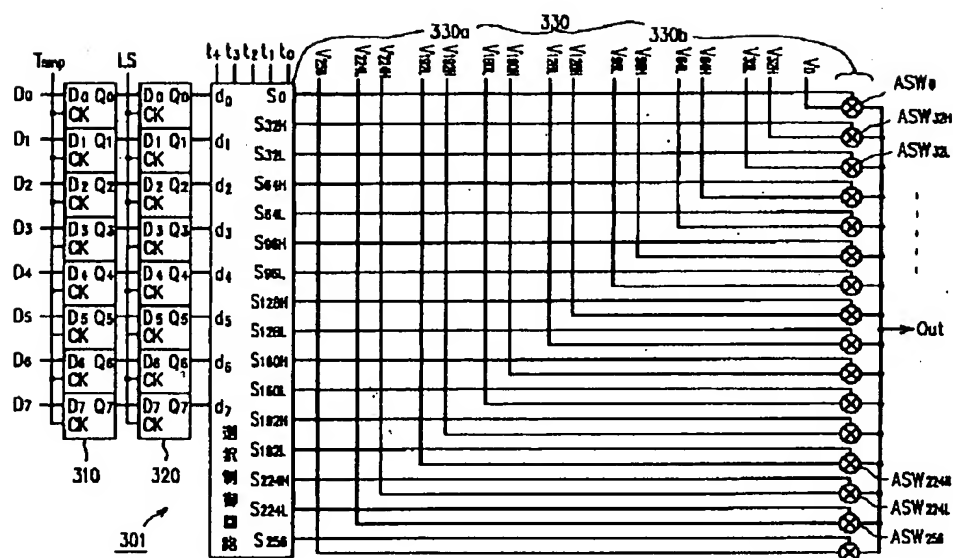
【图4】



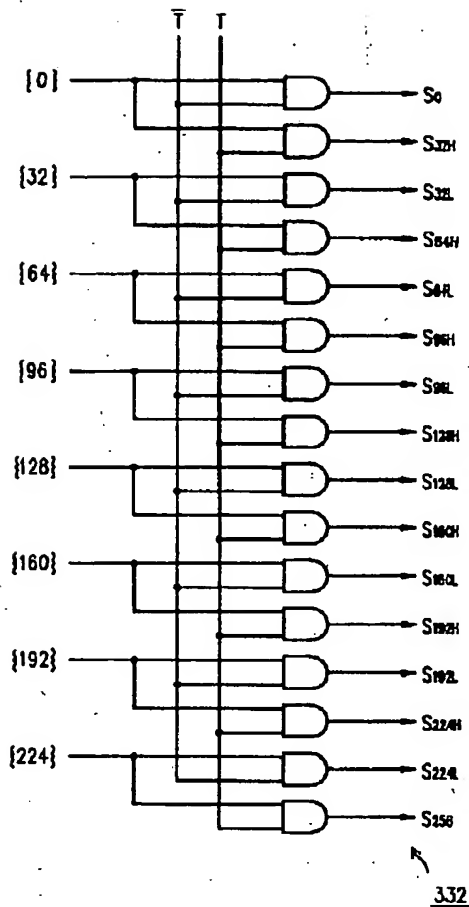
【图 8】



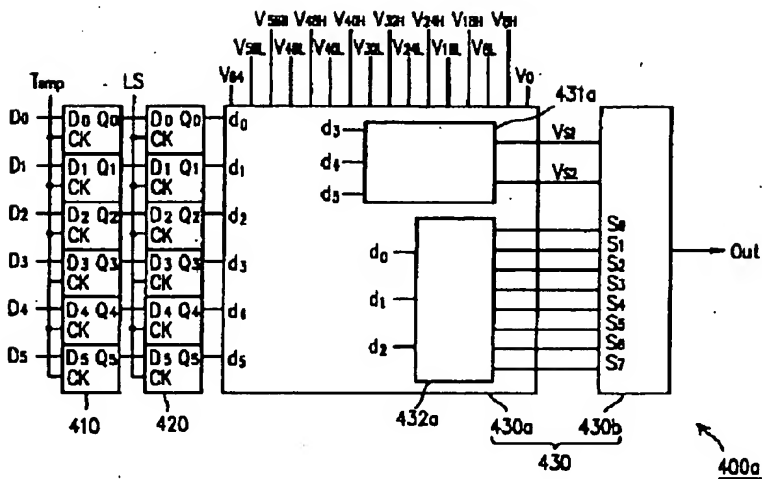
【图 7】



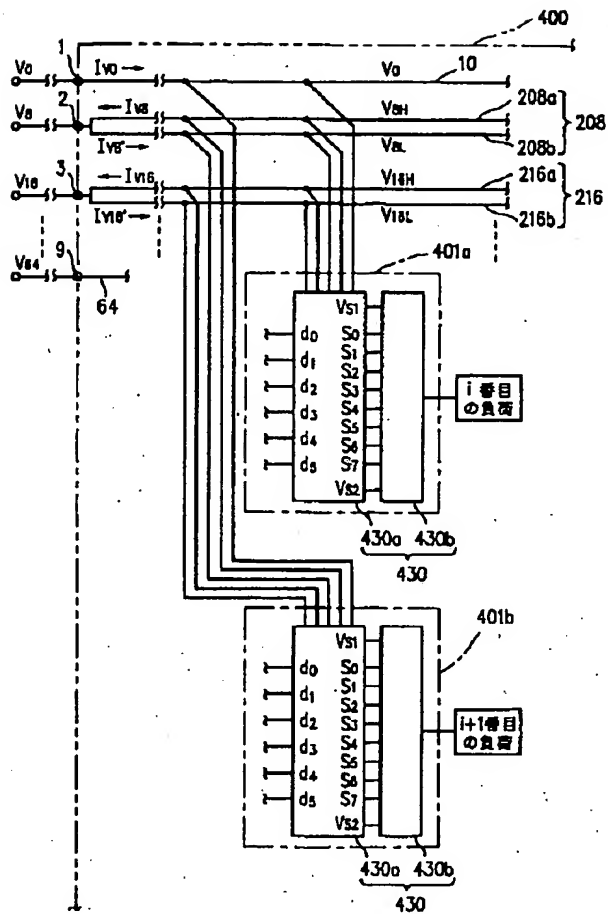
【図9】



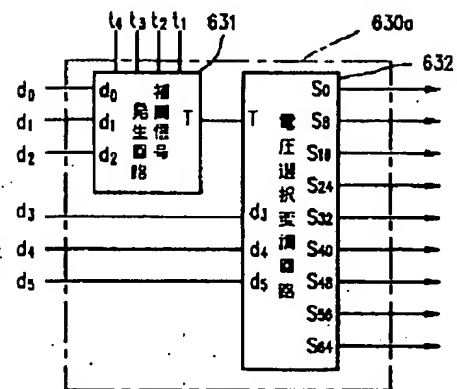
【図11】



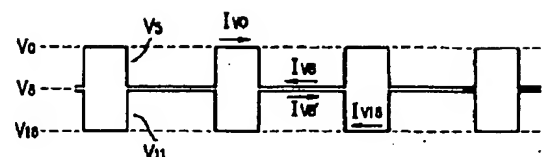
【図10】



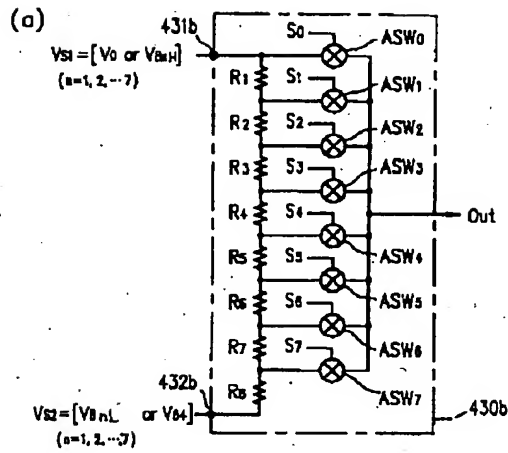
【図22】



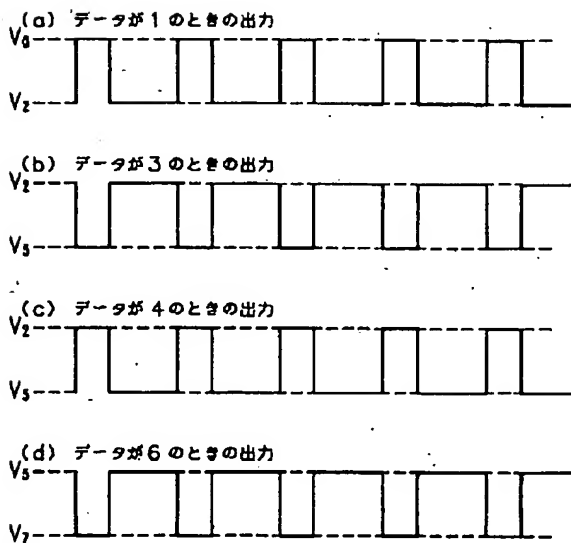
【図25】



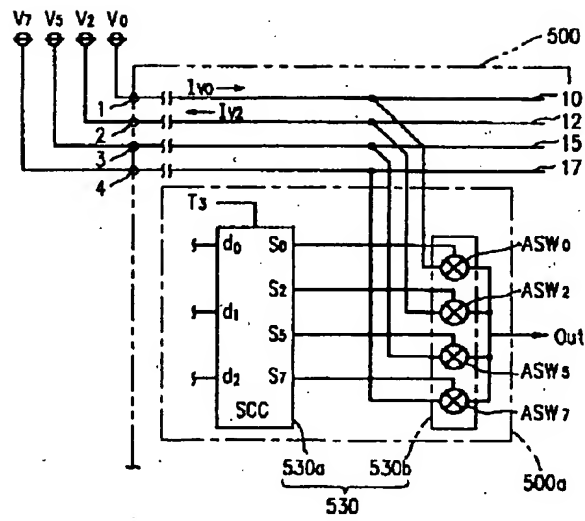
【図12】



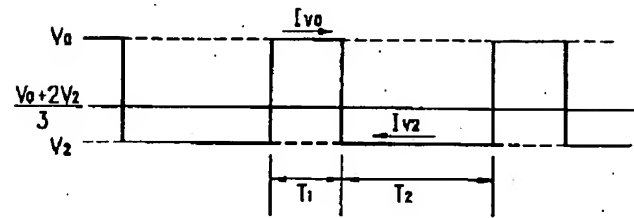
【図16】



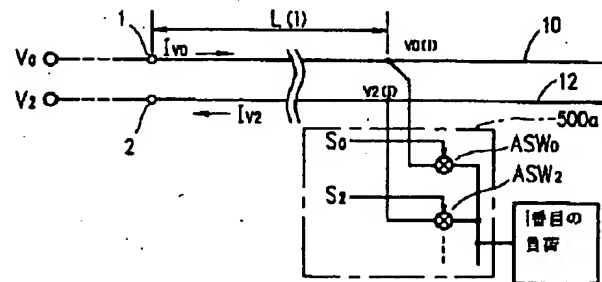
【図14】



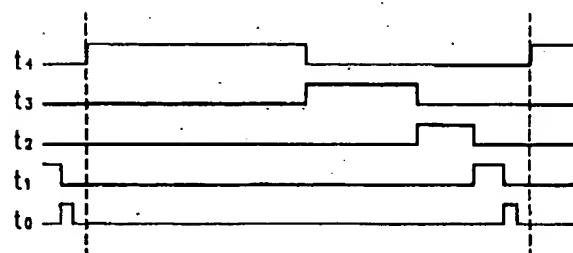
【図17】



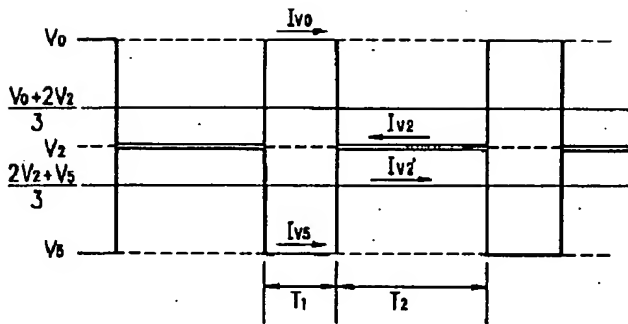
【図18】



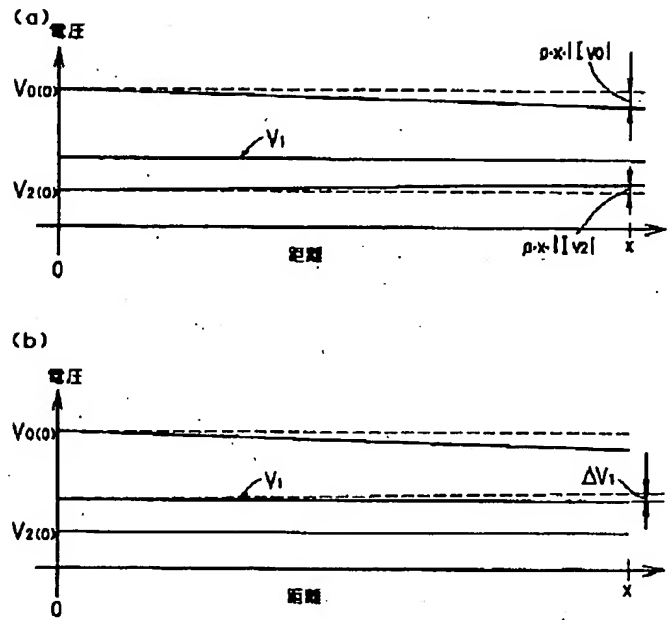
【図29】



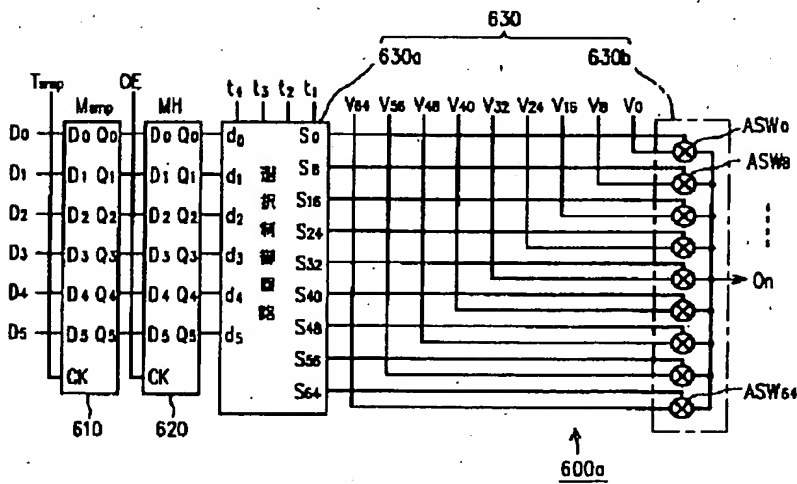
【図 19】



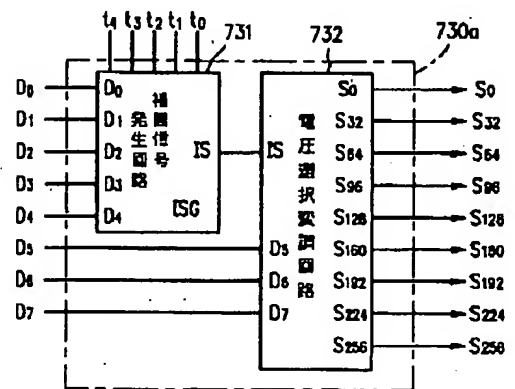
【図 20】



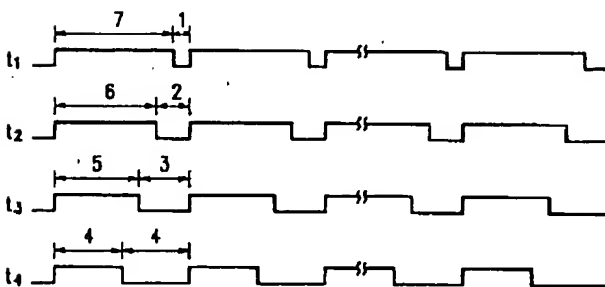
【図 21】



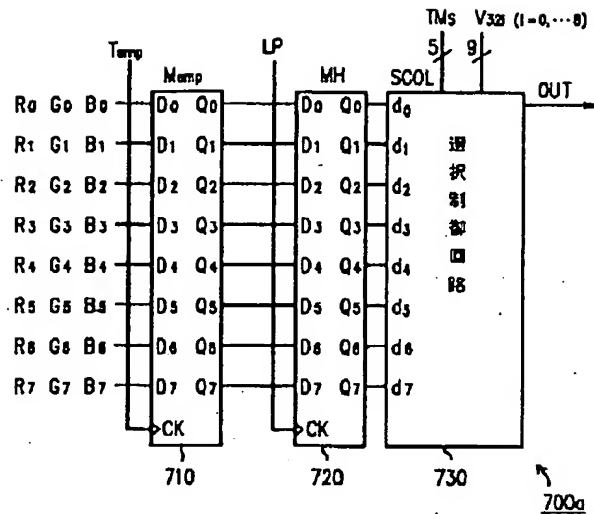
【図 28】



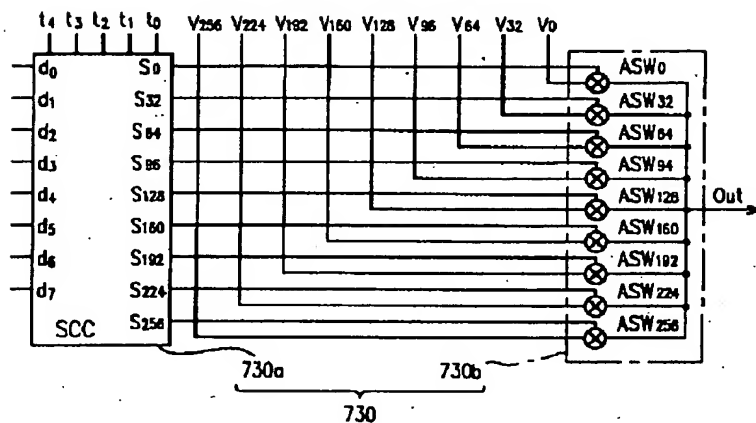
【図 23】



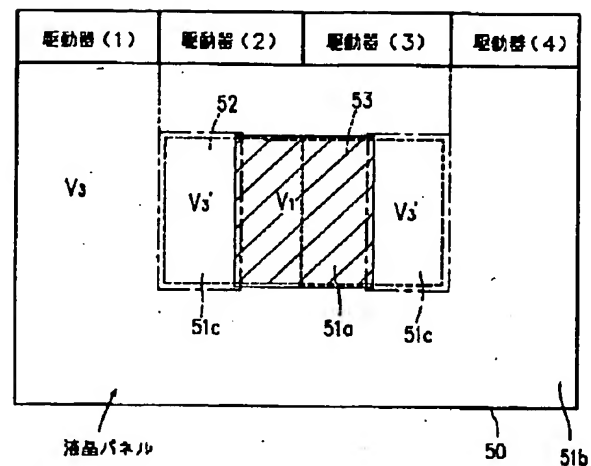
【図26】



【図27】



【図30】



## 【手続補正書】

【提出日】平成8年1月16日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0124

【補正方法】変更

【補正内容】

【0124】このような構成の6ビット駆動器では、図25に示す階調用基準電圧 $V_a$ に対応する電圧供給線208に負荷から流入する電流 $I_{va}$ は、該電流供給線208の第1の信号供給線208aを流れ、この信号供給線において電圧上昇を生じさせる。この電圧上昇は、電圧供給線10を負荷に向かって流れる電流 $I_{vo}$ による電圧降下と相互に補償しあって、絵素には均質な補間階調電圧 $V_1 \sim V_7$ が与えられることとなる。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0125

【補正方法】変更

【補正内容】

【0125】また、電圧供給線208から負荷に流れ出す電流 $I_{va}$ は、該電圧供給線208の第2の信号供給線208bを流れ、該信号供給線208bに電圧降下を生じさせる。この電圧上昇は、電圧供給線216の第1の信号供給線216aに負荷から流れ込む電流 $I_{va}$ による電流上昇と相俟って、均質な階調電圧 $V_8 \sim V_{15}$ が絵素に与えられることとなる。

## 【手続補正3】

【補正対象書類名】明細書



【補正対象項目名】0139

【補正方法】変更

【補正内容】

【0139】このような構成の第3の実施例においても、上記出力回路300aで階調用基準電圧 $V_o$ と $V_{32}$ が選択され、出力回路300bで階調用基準電圧 $V_{32}$ と $V_{64}$ が選択された場合、階調用基準電圧 $V_{32}$ に対応する電圧供給線332に負荷から流入する電流 $I_{v32}$ は、該電流供給線332の第1の信号供給線332aを流れ、この信号供給線において電圧上昇を生じさせ、これが電圧供給線10を負荷に向かって流れる電流 $I_{vo}$ による電圧降下と相互に補償しあつて、絵素には均質な補間階調電圧 $V_1 \sim V_{31}$ が与えられることとなる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0140

【補正方法】変更

【補正内容】

【0140】また、電圧供給線332から負荷に流れ出す電流 $I_{v32}$ は、該電圧供給線332の第2の信号供給線332bを流れ、該信号供給線332bに電圧降下を生じさせ、これが電圧供給線364の第1の信号供給線364aに負荷から流れ込む電流 $I_{ve4}$ による電流上昇と相俟つて、均質な階調電圧 $V_{33} \sim V_{63}$ が絵素に与えられることとなる。

---

フロントページの続き

(72)発明者 田中 邦明

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内